

具有 PGA 的 24 位、15kSPS、8 通道 Δ - Σ ADC

功能描述

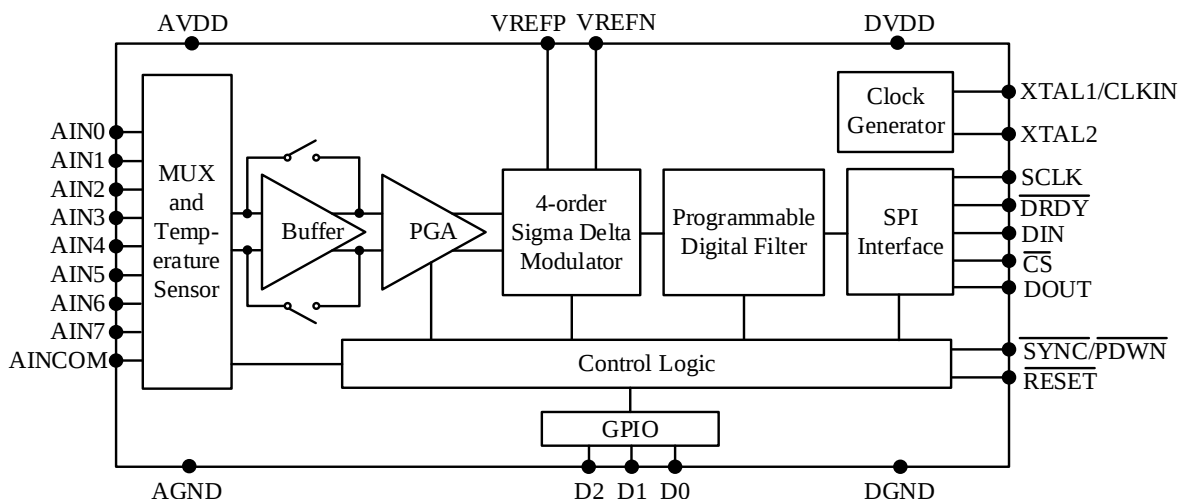
- 24 位，无失码
- 最高 22 位无噪声分辨率
- 0.002%非线性度
- 数据输出速率高达 15kSPS
- 快速通道循环
- 单周期单次转换
- 灵活的输入多路复用器
 - 4 路差分输入
 - 8 路单端输入
- 低噪声 PGA:折合到输入端的噪声为 30nV
- 斩波稳定型输入缓冲器
- 支持所有 PGA 的自校准和系统校准
- SPI 兼容型串行接口
- 模拟电源:5V，数字电源:1.8-3.3V
- 功耗
 - 正常模式下低至 45mW
 - 待机模式下为 0.45mW

应用

- 工业过程控制
- 科学仪器
- 医疗设备
- 测试设备
- 称重秤

LTS1256 是一款高精度数据转换器芯片，内置极低噪声 24 位模数(A/D)转换器。它为最苛刻的应用提供完整的高分辨率测量解决方案。该模数转换器由一个 4 阶 $\Delta\Sigma$ 调制器和一个可编程数字滤波器组成。可选输入缓冲器大大提高了输入阻抗，低噪声可编程增益放大器(PGA)以二进制步长提供 1 至 64 的增益。可编程滤波器允许用户在最高 22 位无噪声分辨率和最高 15kSPS 数据速率之间进行优化。这些转换器为测量多路复用输入提供快速通道循环，也可以执行单次转换，在单个周期内建立。

通信通过SPI兼容型串行接口处理，该接口可以采用双线连接。片上校准支持对所有PGA设置的失调和增益误差进行自校准和系统校准。提供一个通用的可编程时钟输出驱动器。LTS1256 采用SSOP28 封装。



订购须知

有关最新封装和订购信息，请参见本文末尾的封装选项附录。

绝对最大额定值

除非另有说明，否则在室温范围内运行⁽¹⁾。

	LTS1256	单位
AVDD 至 AGND	0.3 至+6	V
DVDD 至 DGND	0.3 至+3.6	V
DGND 的 AGND	0.3 至+0.3	V
输入电流	100, 瞬态	mA
	10, 连续	mA
AGND 至模拟输入	0.3 至 AVDD + 0.3	V
数字输入	0.3 至 DVDD + 0.3	V
工作温度范围	55 至+105	°C
储存温度范围	60 至+150	°C
引线温度(焊接, 10 秒)	+300	°C

(1)超过绝对最大额定值的应力可能会对设备造成永久性损坏。长时间暴露在绝对最大条件下可能会降低器件的可靠性。这些仅是额定应力，并不暗示器件在这些条件下或超出规定条件的任何其他条件下的功能操作。



该集成电路可能会被 ESD 损坏。我们建议在处理所有集成电路时采取适当的预防措施。不遵守正确的处理和安装程序会导致损坏。ESD 损害的范围从细微的性能下降到完全的器件故障。精密集成电路可能更容易损坏，因为非常小的参数变化都可能导致器件不符合其公布的规格。

电气特性

除非另有说明, 所有规格均在 40°C 至 +85°C 温度范围内, AVDD = +5V, DVDD = +1.8V, f_{CLKIN} = 7.68MHz, PGA = 1, VREF = +2.5V。

参数	试验条件	最小	典型	最大	单位
模拟输入					
满 量 程 输 入 电 压 (input)		±2V _{REF} /PGA			V
绝对输入电压 (AIN0-7 , AINCOM 至 AGND)	缓冲关闭	AGND-0.1	AVDD+0.1		V
	缓冲开启	AGND+0.1	AVDD-2.0		V
可编程增益放大器		1	64		
差分输入阻抗	缓冲器关闭, PGA=1, 2, 4, 8, 16	130/PGA			KΩ
	缓冲器关闭, PGA=32, 64	5			KΩ
	缓冲开启	70			MΩ
系统性能					
分辨率		24			Bit
无失码	所有数据速率和 PGA 设置	24			Bit
数据率	f _{CLKIN} = 7.68MHz	2.5	15000		SPS ⁽¹⁾
积分非线性	差分输入, PGA = 1	±0.001			%FSR ⁽²⁾
	差分输入, PGA = 64	±0.002			%FSR
偏移误差	校准后	与噪声水平相当			
偏移漂移	PGA = 1	±110			nV/℃
	PGA = 64	±5			nV/ ℃
增益误差	校准后, PGA = 1, 缓冲器开 启	±0.005			%
	校准后, PGA = 64, 缓冲器开 启	±0.03			%
增益漂移	PGA = 1 至 64	±1			ppm/℃
共模抑制比		105			dB
噪声		参见噪声性能表			
AVDD 电源抑制比	AVDD 中的 ±5%Δ	70			dB
DVDD 电源抑制比	DVDD 中的 ±10%Δ	102			dB
基准电压输入					
参考输入电压	VREF = VREFP - VREFN	0.5	2.5	2.6	V
负 基 准 电 压 输 入 (VREFN)	缓冲关闭	AGND-0.1	VREFP-0.5		V
	缓冲器开启 ⁽⁵⁾	AGND+0.5	VREFP-0.5		V
正 基 准 电 压 输 入 (VREFP)	缓冲关闭	VREFN + 0.5	AVDD + 0.1		V
	缓冲器开启 ⁽⁵⁾	VREFN+0.5	AVDD-2.0		V
基准电压阻抗	f _{CLKIN} = 7.68MHz	18			KΩ

电气特性(续)

除非另有说明, 所有规格均在 40°C 至 +85°C 温度范围内, AVDD = +5V, DVDD = +1.8V, f_{CLKIN} = 7.68MHz, PGA = 1, VREF = +2.5V。

参数	试验条件	最小	典型	最大	单位
数字输入/输出					
V_{IH}		0.8 DVDD		DVDD	V
V_{IL}		DGND		0.2 DVDD	V
V_{OH}	$I_{OH} = 5mA$	0.8 DVDD			V
V_{OL}	$I_{OL} = 5mA$			0.2 DVDD	V
输入迟滞			0.5		V
输入泄漏	$0 < V_{DIGITAL INPUT} < DVDD$			± 10	μA
主时钟速率	XTAL1 和 XTAL2 之间的外部晶振	2	7.68	8	MHz
	外部振荡器驱动 CLKIN	0.1	7.68	8	MHz
电源					
AVDD		4.75		5.25	V
DVDD		1.8		3.6	V
AVDD 电流	省电模式		1		μA
	备用方式		25		μA
	正常模式, PGA = 1, 缓冲器关闭		7		mA
	正常模式, PGA = 64, 缓冲器关闭		16		mA
	正常模式, PGA = 1, 缓冲器开启		14		mA
	正常模式, PGA = 64, 缓冲器开启		38		mA
DVDD 电流	省电模式		1		μA
	待机模式, CLKOUT 关闭, DVDD = 3.3V		100		μA
	正常模式, CLKOUT 关闭, DVDD = 3.3V		3		mA
功耗	正常模式, PGA = 1, 缓冲器关闭, DVDD = 3.3V		45		mW
	待机模式, DVDD = 3.3V		0.45		mW
温度范围					
标称值		-40		+85	°C
可工作值		-55		+105	°C
储存		-60		+150	°C

(1) SPS = 每秒采样数。

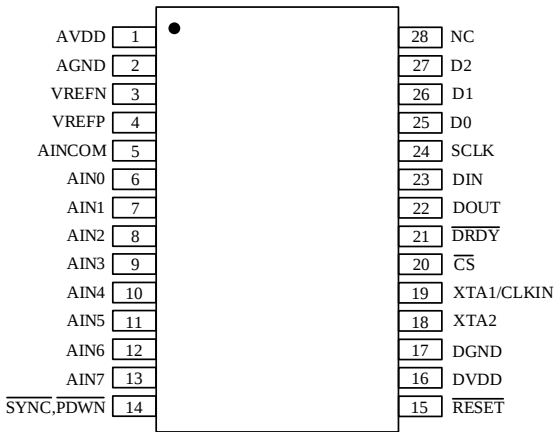
(2) FSR = 满量程范围 = $4V_{REF}/PGA$ 。

(3) f_{CM} 是共模输入信号的频率。

(4) 将数字滤波器的陷波频率设为 60Hz(设置 $f_{DATA} = 60SPS$ 、30SPS、15SPS、10SPS、5SPS 或 2.5SPS)将进一步提高该频率的共模抑制性能。

(5) 只有在使用自校准或增益自校准时, 缓冲开启时的参考输入范围才会受到限制。范围。

SSOP28 封装引脚分配(俯视图)



引脚描述

名字	Pin 号	功能	描述
AVDD	1	模拟	模拟电源
AGND	2	模拟	模拟接地
VREFN	3	模拟输入	负参考输入
VREFP	4	模拟输入	正参考输入
AINCOM	5	模拟输入	模拟输入公共端
AIN0	6	模拟输入	模拟输入 0
AIN1	7	模拟输入	模拟输入 1
AIN2	8	模拟输入	模拟输入 2
AIN3	9	模拟输入	模拟输入 3
AIN4	10	模拟输入	模拟输入 4
AIN5	11	模拟输入	模拟输入 5
AIN6	12	模拟输入	模拟输入 6
AIN7	13	模拟输入	模拟输入 7
<u>SYNC/PDWN</u>	14	数字输入 ⁽¹⁾	同步/关断输入，低电平有效
<u>RESET</u>	15	数字输入 ⁽¹⁾	复位输入，低电平有效
DVDD	16	数字	数字电源
DGND	17	数字	数字地
XTAL2	18	数字 ⁽²⁾	晶体振荡器接口
XTAL1/CLKIN	19	数字	晶体振荡器接口/外部时钟输入
<u>CS</u>	20	数字输入 ⁽¹⁾	芯片选择，低电平有效
<u>DRDY</u>	21	数字输出	数据就绪输出，低电平有效
DOUT	22	数字输出	串行数据输出
DIN	23	数字输入 ⁽¹⁾	串行数据输入
SCLK	24	数字输入 ⁽¹⁾	串行时钟输入
D0	25	数字 IO	数字 I/O 0，仅用于芯片测试
D1	26	数字 IO	数字 I/O 1，仅用于芯片测试
D2	27	数字 IO	数字 I/O 2，仅用于芯片测试
NC	28		未连接

(1)施密特触发器数字输入。

(2)如果外部时钟输入施加于 XTAL1/CLKIN，则保持断开。

参数测量信息

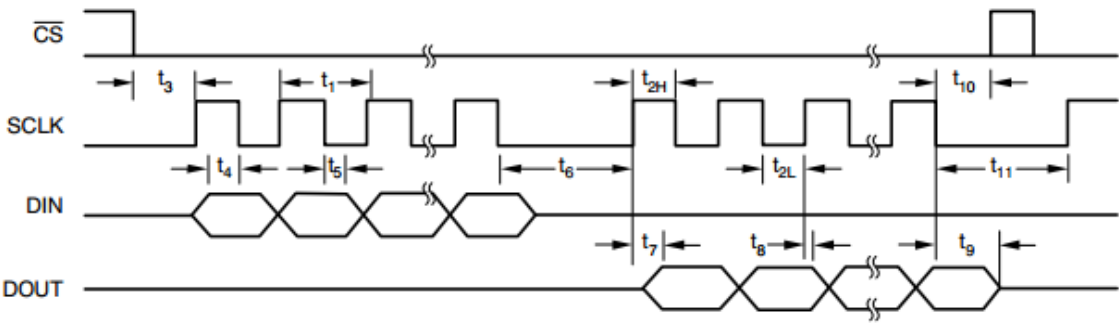


图 1.串行接口时序

图 1 的时序特征

标志	描述	最小	最大	单位
t_1	SCLK 周期	4		$T_{CLKIN}^{(1)}$
			10	$T_{DATA}^{(2)}$
t_{2H}	SCLK 脉冲宽度:高	200		ns
			9	T_{DATA}
t_{2L}	SCLK 脉冲宽度:低	200		ns
t_3	CS_N 低电平至第一个 SCLK:建立时间(3)	0		ns
t_4	有效 DIN 至 SCLK 下降沿:建立时间	50		ns
t_5	有效 DIN 至 SCLK 下降沿:保持时间	50		ns
t_6	DIN 从最后一个 SCLK 沿到 DOUT 的第一个 SCLK 上升沿的延迟:RDATA、RDATA_C、RREG 命令	50		T_{CLKIN}
t_7	SCLK 上升沿到有效新 DOUT:传播延迟(4)		50	ns
t_8	SCLK 上升沿至 DOUT 无效:保持时间	0		ns
t_9	最后一个 SCLK 下降沿到 DOUT 高阻态注:当 CS_N 变为高电平时, DOUT 立即变为高阻态	6	10	T_{CLKIN}
t_{10}	最终 SCLK 下降沿后的 CS_N 低电平	8		T_{CLKIN}
t_{11}	命令的最终 SCLK 下降沿到下一个命令的第一个 SCLK 上升沿。	RREG, WREG, RDATA	4	T_{CLKIN}
		RDATA_C, SYNC_N	24	T_{CLKIN}
		RDATA_C, RESET_N, STANDBY, SELFOCAL, SYSOCAL, SELFGCAL, SYSGCAL, SELFCAL	等待 DRDY_N 变为低电平	

(1) T_{CLKIN} =主时钟周期= $1/f_{CLKIN}$ 。

(2) T_{DATA} =输出数据周期 $1/f_{DATA}$ 。

(3)CS_N 可以接低。

(4) DOUT 负载= 20pf ||100k Ω 到 DGND。

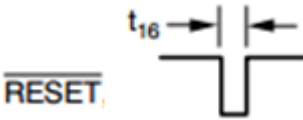


图 2.复位时序

图 2 的时序特性

标志	描述	最小	最大	单位
t ₁₆	RESET_N 的脉冲宽度	4		T _{CLKIN} ⁽¹⁾

(1)T_{CLKIN}=主时钟周期= 1/f_{CLKIN}。



图 3.SYNC_PDWN_N时序

图 3 的时序特性

标志	描述	最小	最大	单位
t ₁₆	SYNC_PDWN_N, 脉冲宽度	4		T _{CLKIN} ⁽¹⁾
t _{16B}	SYNC_PDWN_N 上升沿到 CLKIN 上升沿	-25	25	ns

(1)T_{CLKIN}=主时钟周期= 1/f_{CLKIN}。



图 4.DRDY_N更新时序

图 4 的时序特性

标志	描述	最小	最大	单位
t ₁₇	更新时转换数据无效（显示 DRDY_N，没有数据检索）	16		T _{CLKIN} ⁽¹⁾

(1)T_{CLKIN}=主时钟周期= 1/f_{CLKIN}。

概览

LTS1256 是一款极低噪声模数转换器。它支持四路差分或八路单端输入。

图 5 显示了 LTS1256 的框图。输入多路复用器选择哪些输入引脚连接到模数转换器。可选的片上输入缓冲器提供高达 $70\text{M}\Omega$ 的阻抗，大大降低了输入电路负载。低噪声 PGA 提供 1、2、4、8、16、32 或 64 倍的增益。LTS1256 转换器由一个 4 阶 $\Delta\Sigma$ 调制器和一个可编程数字滤波器组成。调制器根据差分基准电压 $V_{\text{REF}} = (V_{\text{REFP}} - V_{\text{REFN}})$ 测量放大的差分输入信号 V_{IN}

$= (A_{\text{INP}} - A_{\text{INN}})$ 。差分基准电压在内部按 2 倍比例放大，因此满量程输入范围为 $\pm 2V_{\text{REF}}(\text{PGA} = 1)$ 。

数字滤波器接收调制器信号，并提供低噪声数字输出。该滤波器的数据速率可在 2.5SPS 至 15kSPS 范围内编程，允许在分辨率和速度之间进行权衡。通信通过 SPI 兼容型串行接口完成，一组简单的命令提供对 LTS1256 的控制。片上寄存器存储输入多路复用器、输入缓冲使能、PGA 设置、数据速率等的各种设置。可以使用外部晶振或时钟振荡器来提供时钟源。

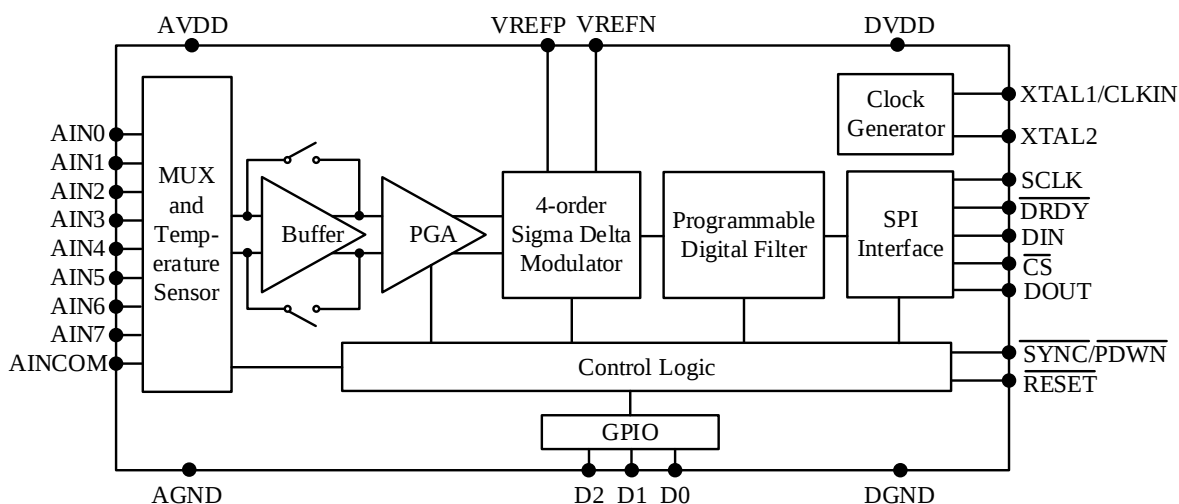


图 5.顶层框图

噪声性能

LTS1256 具有出色的噪声性能，可通过调整数据速率或 PGA 设置进行优化。随着通过降低数据速率来提高均值，噪声也相应下降。测量低电平信号时，PGA 可降低折合到输入端的噪声。表 1 至表 6 总结了输入外部短路时的典型噪声性能。在所有六个表中，以下条件均适用： $T = +25^{\circ}\text{C}$ ， $\text{AVDD} = 5\text{V}$ ， $\text{DVDD} = 1.8\text{V}$ ， $\text{VREF} = 2.5\text{V}$ ， $f_{\text{CLKIN}} = 7.68\text{MHz}$ 。表 1 至表 3 反映了器件输入缓冲器禁用。表 1 显示了折合到输入端噪声的均方根值，单位为伏特。表 2 使用表 1 中的噪声数据，显示了分辨率的有效位数 (ENOB)。ENOB 被定义为：

$$\text{ENOB} = \ln(\text{FSR}/\text{RMS_NOISE})/\ln 2$$

其中 FSR 是满量程范围。表 3 显示了分辨率的无噪声位。它的计算公式与 ENOB 相同，只是使用了峰峰值噪声值而不是均方根噪声。表 4 至表 6 显示了相同的噪声数据，但输入缓冲器使能。

表 1. 缓冲关闭时折合到输入端的噪声(μV , rms)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	0.36	0.2	0.16	0.1	0.06	0.04	0.03
5	0.38	0.24	0.17	0.12	0.06	0.05	0.04
10	0.43	0.26	0.18	0.12	0.07	0.06	0.05
15	0.45	0.3	0.18	0.14	0.08	0.07	0.07
25	0.54	0.36	0.2	0.17	0.10	0.08	0.09
30	0.63	0.36	0.25	0.18	0.11	0.09	0.1
50	0.72	0.49	0.3	0.19	0.14	0.11	0.12
60	0.81	0.5	0.36	0.2	0.15	0.13	0.14
100	1.08	0.68	0.52	0.26	0.22	0.2	0.18
500	2.7	1.6	0.9	0.71	0.56	0.49	0.43
1000	3.6	1.9	1.6	1	0.77	0.68	0.78
2000	5.04	3.1	2.2	1.7	1.12	1.1	1.3
3750	10.4	5.1	3.7	2.8	2.2	2.1	1.9
7500	16.3	9.9	5.8	5.2	4.5	3.6	3.2
15,000	18.9	13.1	9.4	6.8	4.8	4.3	4.1

表 2. 缓冲器关闭时的有效位数(ENOB, rms)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	24.7	24.3	24	23.6	23.2	22.8	22.3
5	24.6	24.2	23.9	23.2	23.2	22.7	21.6
10	24.5	24.1	23.8	23.2	23	22.3	21.5
15	24.4	23.8	23.7	23.1	22.8	22.1	21
25	24	23.7	23.4	22.8	22.6	21.8	20.7
30	23.9	23.7	23.2	22.7	22.4	21.7	20.5
50	23.6	23.3	23	22.6	22.1	21.3	20.3
60	23.5	23.2	22.7	22.5	21.9	21.1	20
100	23	22.8	22.2	22.2	21.4	20.7	19.5
500	21.8	21.5	21.4	20.7	20	19.3	18.4
1000	21.4	21.3	20.6	20.2	19.6	18.8	17.6
2000	20.9	20.6	20.1	19.4	19	18.1	16.8
3750	19.8	19.9	19.3	18.7	18.1	17.2	16.3
7500	19.2	18.9	18.7	17.8	17.1	16.4	15.6
15,000	19	18.6	18	17.5	17	16.2	15.2

表 3. 缓冲关闭时无噪声分辨率(bits)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	21.9	21.5	21.2	20.8	20.4	20	19.5
5	21.8	21.4	21.1	20.4	20.3	19.9	18.8
10	21.6	21.3	21.0	20.3	20.2	19.5	18.7
15	21.3	21.0	20.9	20.2	20.0	19.3	18.2
25	21.2	20.9	20.6	20.0	19.8	19	17.9
30	21.1	20.8	20.4	19.9	19.6	18.9	17.7
50	20.8	20.5	20.2	19.8	19.3	18.5	17.5
60	20.7	20.4	19.9	19.7	19.1	18.3	17.2
100	20.2	20.0	19.4	19.4	18.6	17.9	16.7
500	19.0	18.7	18.6	17.9	17.2	16.5	15.6
1000	18.6	18.5	17.8	17.4	16.8	16	14.8
2000	18.1	17.8	17.3	16.6	16.2	15.3	14.0
3750	17.0	17.1	16.5	15.9	15.3	14.4	13.5
7500	16.4	16.1	15.9	15.0	14.3	13.6	12.8
15,000	16.2	15.8	15.2	14.7	14.2	13.4	12.4

表 4. 缓冲器开启时折合到输入端的噪声(μV , rms)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	0.38	0.25	0.18	0.11	0.06	0.04	0.04
5	0.39	0.29	0.19	0.13	0.07	0.06	0.05
10	0.44	0.3	0.2	0.14	0.08	0.07	0.06
15	0.46	0.34	0.21	0.15	0.09	0.07	0.08
25	0.56	0.41	0.22	0.17	0.11	0.08	0.1
30	0.64	0.39	0.28	0.19	0.12	0.1	0.11
50	0.74	0.53	0.31	0.2	0.15	0.12	0.13
60	0.84	0.54	0.37	0.23	0.16	0.14	0.14
100	1.1	0.71	0.54	0.29	0.24	0.21	0.19
500	2.73	1.66	0.91	0.78	0.58	0.51	0.46
1000	3.64	1.97	1.63	1.1	0.78	0.7	0.8
2000	5.08	3.16	2.21	1.73	1.15	1.2	1.4
3750	10.5	5.2	3.73	2.9	2.24	2.3	2.0
7500	16.5	10.05	5.82	5.24	4.6	3.7	3.5
15,000	19.4	13.2	9.47	6.85	5.0	4.4	4.2

表 5. 缓冲器开启时的有效位数(ENOB, rms)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	24.6	24.2	23.8	23.5	23.1	22.7	22.2
5	24.5	24.1	23.8	23.2	23	22.6	21.5
10	24.4	24.0	23.7	23.1	22.9	22.2	21.3
15	24.3	23.8	23.6	23	22.7	22	20.8
25	24	23.7	23.4	22.7	22.5	21.7	20.6
30	23.8	23.6	23.1	22.6	22.4	21.6	20.4
50	23.6	23.2	22.9	22.5	22	21.2	20.2
60	23.4	23.1	22.6	22.4	21.9	21	19.8
100	22.8	22.6	22.1	22.1	21.2	20.5	19.4
500	21.7	21.4	21.2	20.5	19.9	19.2	18.1
1000	21.4	21.2	20.5	20.1	19.5	18.6	17.4
2000	20.8	20.4	20	19.3	19	18	16.6
3750	19.6	19.8	19.2	18.6	18	17.1	16.2
7500	19.1	18.7	18.6	17.8	16.9	16.2	15.5
15,000	18.9	18.5	17.9	17.4	16.7	16	15

表 6. 缓冲器开启时的无噪声分辨率(bits)

数据速率 (SPS)	PGA						
	1	2	4	8	16	32	64
2.5	21.8	21.4	21.0	20.7	20.3	19.9	19.4
5	21.7	21.3	21.0	20.4	20.2	19.8	18.7
10	21.6	21.2	20.9	20.3	20.1	19.4	18.5
15	21.5	21.0	20.8	20.2	19.9	19.2	18.0
25	21.2	20.9	20.6	19.9	19.7	18.9	17.8
30	21.0	20.8	20.3	19.8	19.6	18.8	17.6
50	20.8	20.4	20.1	19.7	19.2	18.4	17.4
60	20.6	20.3	19.8	19.6	19.1	18.2	17.0
100	20.0	19.8	19.3	19.3	18.4	17.7	16.6
500	18.9	18.6	18.4	17.7	17.1	16.4	15.3
1000	18.6	18.4	17.7	17.3	16.7	15.8	14.6
2000	18.0	17.6	17.2	16.5	16.2	15.2	13.8
3750	16.8	17.0	16.4	15.8	15.2	14.3	13.4
7500	16.3	15.9	15.8	15.0	14.1	13.4	12.7
15,000	16.1	15.7	15.1	14.6	13.9	13.2	12.2

输入复用器

图 6 显示了输入多路复用器的简图。这种灵活的模块允许任何模拟输入引脚连接到任一转换器差分输入。也就是说，可以选择任何引脚作为实际输入(AIN_P)；同样，任何引脚都可以选作负输入(AIN_N)。引脚选择由多路复用器寄存器控制。

LTS1256 提供 8 路模拟输入，可配置为 4 路独立差分输入、8 路单端输入或差分 and 单端输入的组合。

一般来说，输入引脚选择没有限制。然而，为了获得最佳模拟性能，我们提出以下建议：

1. 对于差分测量，使用 AIN_0 至 AIN_7 ，最好是相邻输入。

例如，使用 AIN_0 和 AIN_1 。不要使用 AIN_{COM} 。

2. 对于单端测量， AIN_{COM} 用作公共输入， AIN_0 至 AIN_7 用作单端输入。

3. 让任何未使用的模拟输入悬空。这可以最大限度地降低输入漏电流。

ESD 二极管保护模拟输入。为了防止这些二极管导通，请确保输入引脚上的电压不低于 AGND 100mv 以上，同样也不高于 AVDD 100mv 以上。

使用 LTS1256 进行单端测量时，必须注意公共输入 AIN_{COM} 不需要接地。例如， AIN_{COM} 可以连接到中点基准电压，如 +2.5V 甚至 AVDD 。

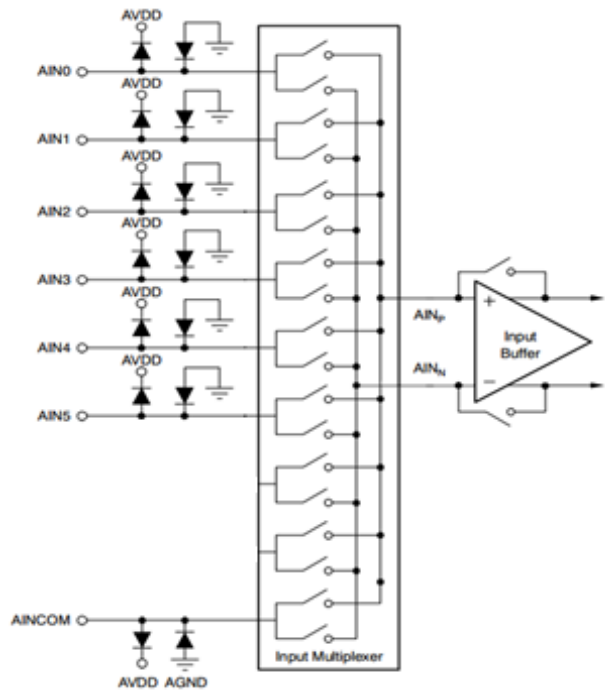


图 6.输入多路复用器简图

模拟输入缓冲器

为了大幅提高 LTS1256 的输入阻抗，可以使能低漂移斩波稳定缓冲器。缓冲器使能时的输入阻抗可以用一个电阻来模拟，如图 8 所示。表 7 列出了不同数据速率设置下的 Zeff 值。输入阻抗与 CLKIN 频率成反比。例如，如果 f_{clk_{in}} 降低一半至 3.84MHz，则 50SPS 数据速率下的 Zeff 将从 70MΩ 翻倍至 140MΩ。

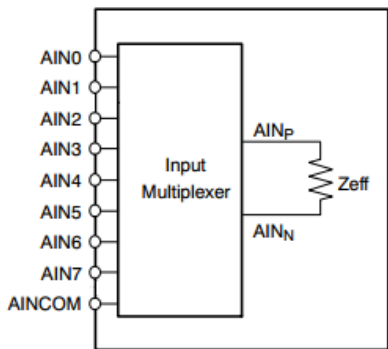


图 8.缓冲器开启时的有效阻抗

表 7.缓冲器开启时的输入阻抗

DATA RATE (SPS)	Zeff(m Ω)
≤50	70
60	40
100	40
500	40
1000	20
2000	10
3750	10
7500	10
15,000	10

注:fCLKIN= 7.68MHz。

缓冲器使能时，模拟输入开关上相对于地的电压(在电气特性中作为绝对输入电压列出)必须保持在 AGND+0.5 和 AVDD 2.0v 之间，超过此范围会降低性能，尤其是 LTS1256 的线性度。在缓冲器使能的情况下执行自增益校准时，相同的电压范围(AGND+0.5 至 vdd-2)适用于基准电压输入。

可编程增益放大器(PGA)

LTS1256 是一款分辨率非常高的转换器。为了进一步完善其性能，低噪声 PGA 在测量更小的输入信号时提供更高的分辨率。为了获得最佳分辨率，请将 PGA 设置为尽可能高的值。这将取决于要测量的最大输入信号。LTS1256 满量程输入电压等于 $2V_{REF}/PGA$ 。表 8 显示了 $V_{REF} = 2.5V$ 时不同 PGA 设置的满量程输入电压。例如，如果要测量的最大信号为 $1.0V$ ，最佳 PGA 设置为 4，则满量程输入电压为 $1.25V$ 。不能使用更高的 PGA，因为它们无法处理 $1.0V$ 输入信号。

表 8.满量程输入电压与 PGA 设置的关系

PGA 设置	满量程输入电压 $V_{IN}^{(1)}$ ($V_{REF} = 2.5V$)
1	$\pm 5V$
2	$\pm 2.5V$
4	$\pm 1.25V$
8	$\pm 0.625V$
16	$\pm 312.5mV$
32	$\pm 156.25mV$
64	$\pm 78.125mV$

(1)输入电压是正负输入之间的差值。确保没有输入违反电气特性中列出的相对于地的绝对输入电压。PGA 由 ADCON 寄存器控制。建议在更改 PGA 设置后重新校准模数转换器。自校准所需的时间取决于 PGA 设置。详情参见校准部分。模拟电流和输入阻抗(缓冲器禁用时)作为 PGA 设置的函数而变化。

调制器输入电路

LTS1256 调制器使用连续充电和放电的内部电容来测量输入信号。图 9 显示了 LTS1256 输入电路的简化原理图，其中输入缓冲器禁用。图 10 示出了图 9 的开关的开/关时序。S1 开关在输入采样阶段闭合。S1 关闭后，CA1 向 AINP 带电，CA2 向 AINN 带电，CB 向(AINP-AINN)带电。对于放电阶段，S1 首先打开，然后 S2 关闭。CA1 和 CA2 放电至约 $AVDD/2$ ，CB 放电至 $0V$ 。这个两阶段采样/放电循环以采样周期重复。该时间是 PGA 设置以及电容值 $CA1 = CA2 = CA$ 和 CB 的函数，如表 9 所示。

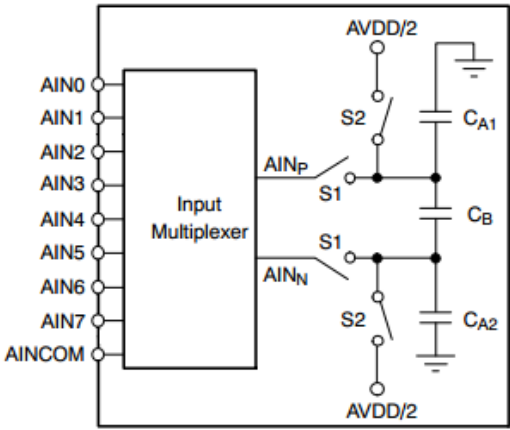


图 9.简化输入结构
缓冲关闭时

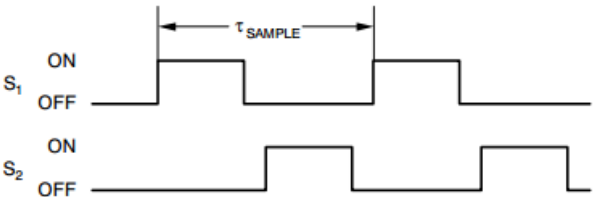


图 10.S1 和 S2 切换图 9 的时序

表 9.输入采样时间, $T_{SAMPLE}^{(1)}$ 以及 C_A 和 C_B 与
PGA 的关系

PGA 设置	T_{SAMPLE}	C_A	C_B
1	$f_{CLKIN}/4$ (260ns)	2.1pF	2.4pF
2	$f_{CLKIN}/4$ (260ns)	4.2pF	4.9pF
4	$f_{CLKIN}/4$ (260ns)	8.3 磅	9.7pF
8	$f_{CLKIN}/4$ (260ns)	17pF	19pF
16	$f_{CLKIN}/4$ (260ns)	33pF	39pF
32	$f_{CLKIN}/2$ (260ns)	33pF	39pF
64	$f_{CLKIN}/2$ (260ns)	33pF	39pF

(1) f_{CLKIN} 的 $T_{SAMPLE} = 7.68 MHz$ 。

输入电容的充电会从驱动 LTS1256 输入的传感器中汲取瞬态电流。该电流的平均值可用于计算有效阻抗 Z_{eff} ，其中 $Z_{eff} = V_{IN}/I_{AVERAGE}$ 。图 11 显示了输入电路，图 9 中的电容和开关被其有效阻抗所取代。这些阻抗与 $CLKIN$ 频率成反比。例如，如果 f_{CLKIN} 降低一半，阻抗将加倍。

它们也随着 PGA 设置而变化。表 10 列出了 $f_{CLKIN} = 7.68\text{MHz}$ 时缓冲器关闭时的有效阻抗。

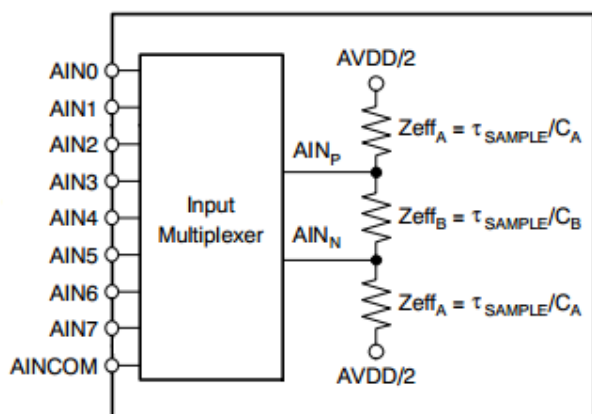


图 11. 缓冲器关闭时的模拟输入有效阻抗

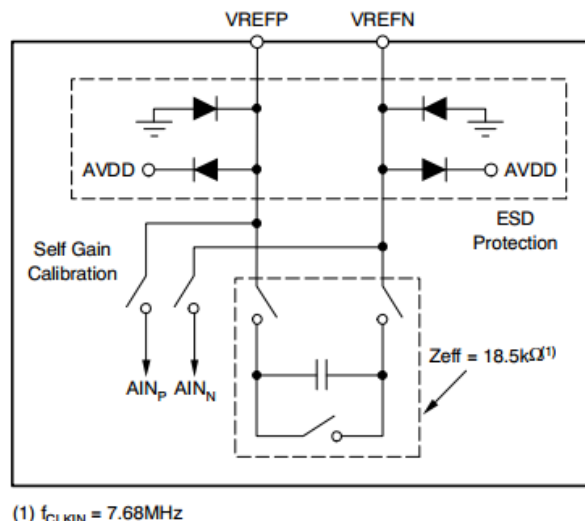
表 10. 缓冲器关闭时的模拟输入阻抗

PGA 设置	Z_{effA} (k Ω)	Z_{effB} (k Ω)
1	260	220
2	130	110
4	65	55
8	33	28
16	16	14
32	8	7
64	8	7

注: $f_{CLKIN} = 7.68\text{MHz}$ 。

基准电压输入(VREFP、VREFN)

LTS1256 的基准电压源是 VREFP 与 VREFN 之间的差分电压: $VREF = VREFP - VREFN$ 。参考输入采用类似于模拟输入的结构，参考输入上的电路如图 12 所示。当 $f_{CLKIN} = 7.68\text{MHz}$ 时，开关电容所代表的负载可以用 $18\text{k}\Omega$ 的有效阻抗 (Z_{eff}) 来建模。基准电压输入的有效阻抗的温度系数约为 $35\text{ppm}/^\circ\text{C}$ 。



(1) $f_{CLKIN} = 7.68\text{MHz}$

图 12. 简化的参考输入电路

ESD 二极管保护基准输入。为了防止这些二极管导通，请确保基准引脚上的电压不会比 AGND 低 100mV 以上，同样也不会比 AVDD 高 100mV 。自增益校准期间，输入多路复用器中的所有开关都断开，VREFN 内部连接到 AINN，VREFP 连接到 AINP。校准期间，可以禁用或启用输入缓冲器。当缓冲器禁用时，基准引脚将在自增益校准期间驱动图 9 所示的电路，导致负载增加。为了防止这种额外负载引入增益误差，请确保驱动基准引脚的电路具有足够的驱动能力。当缓冲器使能时，基准引脚上的负载会小得多，但在自校准或自增益校准期间，缓冲器会限制 VREFP 和 VREFN 上的容许电压范围，因为基准引脚必须保持在缓冲器的额定输入范围内，才能建立正确的增益校准。

能够驱动 LTS1256 开关电容负载的高质量基准电压对于实现最佳性能至关重要。基准电压源上的噪声和漂移会降低整体系统性能。在低噪声设置(即低数据速率)下工作时，必须特别注意产生基准电压的电路及其布局，以防止基准电压限制性能。详情参见“应用”部分。

数字滤波器

可编程低通数字滤波器接收调制器输出，并产生高分辨率数字输出。通过调整滤波量，可以在分辨率和数据速率之间进行权衡:分辨率越高，滤波越多；数据速率越高，滤波越少。该滤波器由两部分组成，一个固定滤波器后接一个可编程滤波器。图 13 显示了模拟调制器和数字滤波器的框图。模拟调制器以 $f_{CLKIN}/4$ 的速率向滤波器提供数据。固定滤波器是一个五阶 sinc 滤波器，抽取值为 64，以 $f_{CLKIN}/256$ 的速率输出数据。滤波器的第二级是可编程均值(一阶 sinc 滤波器)，均值数量由 DRATE 寄存器设置。数据速率是均值数量(Num_Ave)的函数，由公式 1 给出。

$$DataRate = \frac{f_{CLKIN}}{256} \cdot \frac{1}{Num_Ave} \quad (1)$$

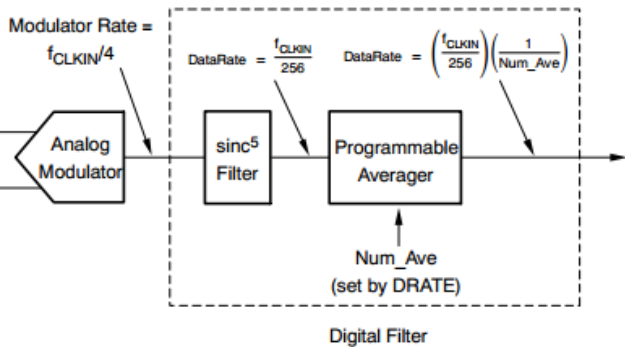


图 13.调制器和数字滤波器框图

表 11 显示了当 $f_{CLKIN}=7.68\text{MHz}$ 时，16 个有效 DRATE 寄存器设置的平均值和相应的数据速率，请注意，数据速率与 CLKIN 频率成正比。例如，将 f_{CLKIN} 从 7.68MHz 降至 3.84MHz 会将 DR[7:0] =0000 0000 的数据速率从 15000SPS 降至 7500SPS。

表 11.每个有效 DRATE 寄存器设置的平均值数和数据速率

DRATEDR[7:0] I	可编程滤波器的平 均值数 (Num_Ave)	数据速率 (⁽¹⁾ SPS)
00000010	2	15,000
00000011	4	7500

00000100	8	3750
00000101	15	2000
00000110	30	1000
00000111	60	500
00001000	300	100
00001001	500	60
00001010	600	50
00001011	1000	30
00001100	1200	25
00001101	2000	15
00001110	3000	10
00001111	6000	5
00010000	12,000	2.5

(1) 对于 $f_{CLKIN}=7.68\text{MHz}$

幅频响应

低通数字滤波器设置 LTS1256 的整体频率响应。滤波器响应是固定和可编程滤波器部分响应的乘积，由公式 2 给出。

$$|H(f)| = |H_{\text{sinc}^5}(f)| \cdot |H_{\text{Averager}}(f)| = \left| \frac{\sin(\frac{256\pi \cdot f}{f_{CLKIN}})}{64 \cdot \sin(\frac{4\pi \cdot f}{f_{CLKIN}})} \right| \cdot \left| \frac{\sin(\frac{256\pi \cdot Num_Ave \cdot f}{f_{CLKIN}})}{Num_Ave \cdot \sin(\frac{256\pi \cdot f}{f_{CLKIN}})} \right| \quad (2)$$

数字滤波器衰减调制器输出上的噪声，包括来自 LTS1256 内部的噪声和 LTS1256 输入信号上的外部噪声。通过改变可编程滤波器中使用的平均值数量来调整滤波，从而改变滤波器带宽。平均值越大，带宽越小，衰减的噪声越多。

低通滤波器在数据输出速率及其倍数下具有陷波(或零点)。在这些频率下，滤波器的增益为零。当试图消除特定的干扰信号时，此功能会很有用。例如，要消除 60Hz(谐波)干扰，请将数据速率设置为 2.5SPS、5SPS、10SPS、15SPS、30SPS 或 60SPS。为了帮助说明滤波器特性，图 14 和图 15 分别显示了 15kSPS 和 2.5SPS 数据速率极值下的响应。表 12 总结了不同数据速率设置下的第一陷波频率和 3db 带宽。

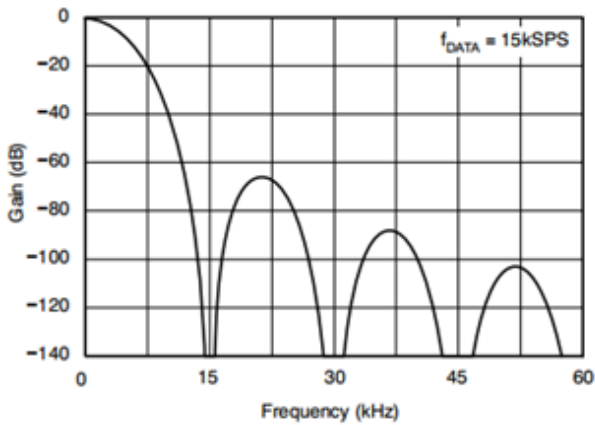


图 14.数据速率=15kSPS 时的频率响应

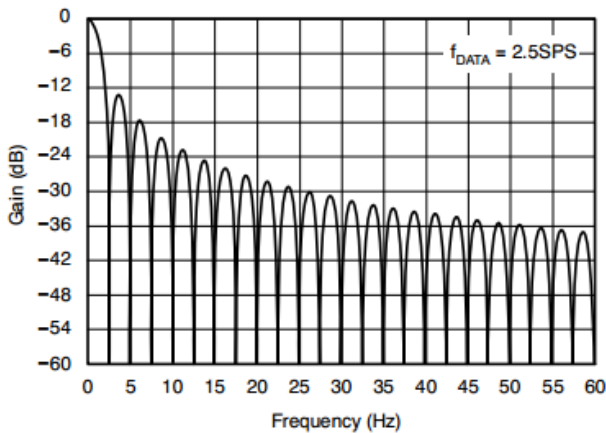


图 15.数据速率=2.5SPS 的频率响应

表 12.第一陷波频率和-3dB 滤波器带宽

数据速率 (SPS)	第一个 陷波点 (Hz)	-3dB 带宽 (Hz)
15,000	15,000	4807
7500	7500	3003
3750	3750	1615
2000	2000	878
1000	1000	441
500	500	221
100	100	44.2
60 ⁽¹⁾	60	26.5
50 ⁽²⁾	50	22.1
30 ⁽¹⁾	30	13.3
25 ⁽²⁾	25	11.1
15 ⁽¹⁾	15	6.63
10 ⁽³⁾	10	4.42
5 ⁽³⁾	5	2.21
2.5 ⁽³⁾	2.5	1.1

注: f_{CLKIN} = 7.68MHz。

(1) 60Hz 下的陷波。

(2) 50Hz 下的陷波。

(3) 50Hz 和 60Hz 下的陷波。

数字滤波器低通特性以 $f_{CLKIN}/4$ 的调制器速率倍数重复。图 16 和图 17 显示了数据速率极值为 15kSPS 和 2.5SPS 时 7.68MHz 的响应。请注意，DC 附近的响应(1.92MHz、3.84MHz、5.76MHz 和 7.68MHz)是相同的。数字滤波器将衰减 LTS1256 输入上的高频噪声，最高可达响应重复的频率。如果输入端的显著噪声高于该频率，请确保通过外部滤波消除。幸运的是，这可以通过一个简单的 RC 滤波器在 LTS1256 上实现，如应用部分所示。

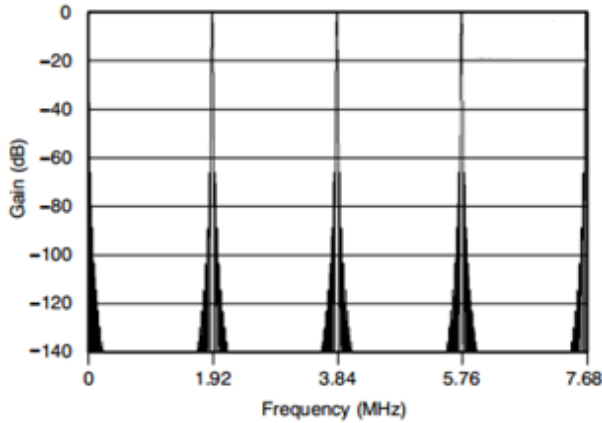


图 16.数据速率=15kSPS 时，频率响应为 7.68MHz

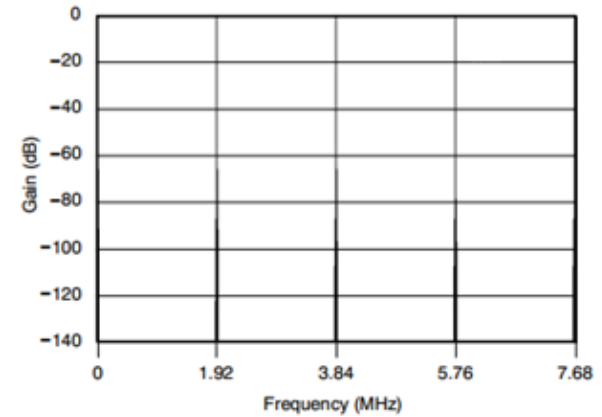


图 17.数据速率=2.5SPS 时，频率响应为 7.68MHz

时间设置

LTS1256 具有针对快速建立而优化的数字滤波器。不同数据速率下的建立时间(模拟输入的阶跃变化传播通过滤波器所需的时间)如表 13 所示。以下部分重点介绍滤波器的单周期建立能力,并展示控制转换过程的各种方法。

表 13.建立时间与数据速率的关系

数据速率(SPS)	建立时间(t_{18})(ms)
15,000	0.25
7500	0.31
3750	0.44
2000	0.68
1000	1.18
500	2.18
100	10.18
60	16.84
50	20.18
30	33.51
25	40.18
15	66.84
10	100.18
5	200.18
2.5	400.18

注: $f_{CLKIN}=7.68\text{MHz}$ 。

注:单次触发模式要求器件从待机状态上电时有一小段额外延迟。

同步的建立时间

这 SYNC_PDWN_N 引脚允许直接控制转换时序。更改模拟输入后,只需发出 Sync 命令或选通 SYNC_PDWN_N 引脚(更多信息参见同步部分)。SYNC_PDWN_N 变为高电平时,转换开始,停止当前转换并重启数字滤波器。一旦 SYNC_PDWN_N 变为低电平,DRDY_N 输出就会变为高电平,并在转换期间保持高电平。经过建立时间(t_{18})后,DRDY_N 变为低电平,表示数据可用。LTS1256 在单个周期内建立,同步后无需忽略或丢弃数据。图 18 显示了同步后的数据检索序列。

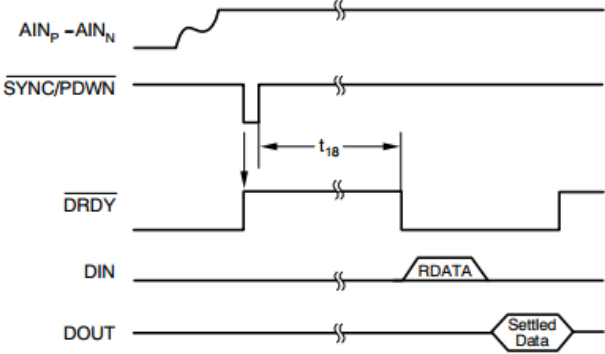


图 18.同步后的数据检索

输入多路复用器的建立时间

循环输入的最有效方法是在 DRDY_N 变为低电平后立即改变多路复用器设置(使用 WREG 命令控制多路复用器寄存器 MUX)。然后,更改多路复用器后,通过发出 SYNC 和 WAKEUP 命令重启转换过程,并使用 RDATA 命令检索数据。在读取数据之前改变多路复用器,可以让 LTS1256 更快地开始测量新的输入通道。图 19 展示了高效的输入循环。在输入多路复用器的通道间循环时,无需忽略或丢弃数据,因为在 DRDY_N 变为低电平之前,LTS1256 完全建立,表示数据就绪。

第 1 步:当 DRDY_N 变为低电平时,表示数据可以检索,使用 WREG 命令更新多路复用器寄存器 MUX。例如,将多路复用器设置为 23h,则 $AINP = AIN2$, $AINN = AIN3$ 。

步骤 2:通过发出 SYNC 命令,然后立即发出 WAKEUP 命令,重新启动转换过程。确保命令之间遵循时序规范 t_{11} 。

步骤 3:使用 RDATA 命令读取上一次转换的数据。

步骤 4:当 DRDY_N 再次变为低电平时,重复该周期,首先更新多路复用器寄存器,然后读取之前的数据。

表 14 给出了循环输入多路复用器时的有效总吞吐量($1/t_{19}$)。吞吐量($1/t_{19}$)的值假设多路复用

器是用 3 字节的 WREG 命令改变的, 且 $f_{SCLK} = f_{CLKIN}/4$ 。

表 14.多路复用器循环吞吐量

数据速率(SPS)	循环吞吐量($1/t_{19}$) (Hz)
15,000	3817
7500	3043
3750	2165
2000	1438
1000	837

500	456
100	98
60	59
50	50
30	30
25	25
15	15
10	10
5	5
2.5	2.5

注: $f_{CLKIN} = 7.68\text{MHz}$ 。

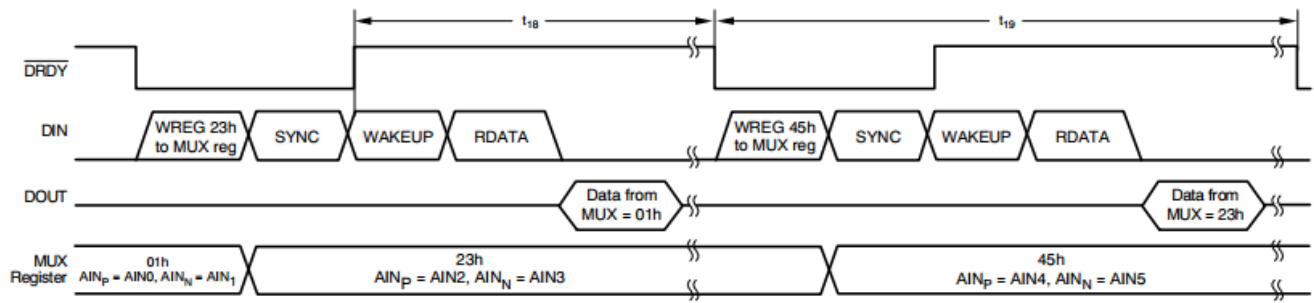


图 19.LTS1256 输入多路复用器的循环

单次触发模式的建立时间

利用待机命令执行单次转换, 可以大幅降低 LTS1256 的功耗; 其顺序如图 20 所示。从待机模式发出唤醒命令, 开始单次转换。使用单次触发模式时, 调制器上电和建立需要额外的延迟。对于 7.68MHz 主时钟, 该延迟可能高达 64 个调制器时钟($64 \times 4 \times T_{CLKIN}$)或 33.3 μs 。在建立时间($t_{18} + 256 \times T_{CLKIN}$)后, DRDY_N 将变为低电平, 表示转换完成, 可以使用 RDATA 命令读取数据。LTS1256 在单个周期内建立, 无需忽略或丢弃数据。在数据读取周期之后, 发出另一个待机命令以降低功耗。准备好下一次测量时, 从另一个唤醒命令开始重复该循环。

连续转换时的建立时间

在同步、输入多路复用器改变或从待机模式唤醒后, LTS1256 将连续转换模拟输入。转换与 DRDY_N 的下降沿一致, 连续转换时, 用

DRDY_N 周期来考虑建立时间通常更方便, 如表 15 所示。DRDY_N 周期等于数据速率的倒数。

如果在连续转换过程中输入信号发生阶跃变化, 建议执行同步操作以启动新的转换。否则, 下一个数据将代表先前和当前输入信号的组合, 因此应该被丢弃。图 21 显示了这种情况下的回读示例。

表 15.数据建立延迟与数据速率的关系

数据速率(SPS)	建立时间 (DRDY_N 周期)
15,000	3
7500	2
3750	1
2000	1
1000	1
500	1
100	1
60	1
50	1
30	1
25	1
15	1
10	1
5	1
2.5	1

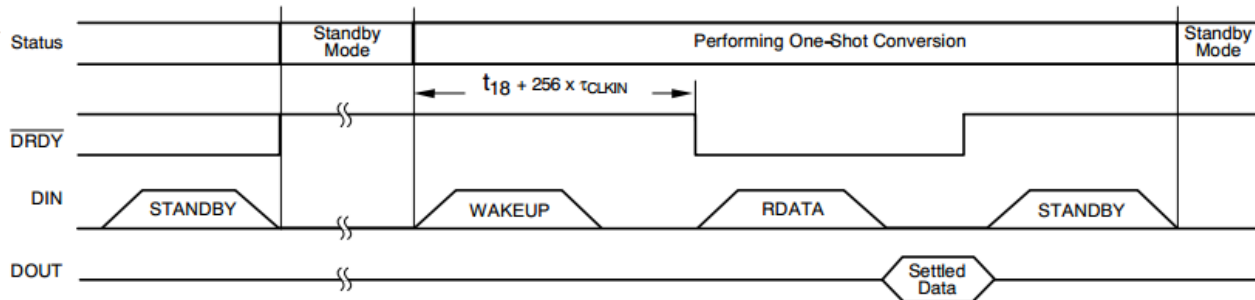


图 20.使用 STANDBY 命令的单次转换

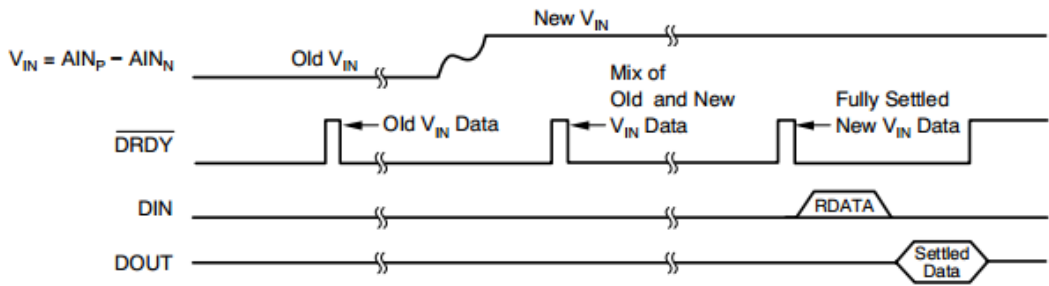


图 21.连续转换数据速率≤3750SPS 时 VIN 的阶跃变化

数据格式

LTS1256 以二进制真格式输出 24 位数据。LSB 的权重为 $2V_{REF}/(PGA(2^{23}-1))$ 。表 16 总结了不同输入信号的理想输出代码。

表 16.理想输出代码与输入信号的关系

输入信号 $V_{IN}(A_{INP} - A_{INN})$	真值表 ⁽¹⁾
$\geq \frac{+2V_{REF}}{PGA}$	7FFFFFFh
$\frac{+2V_{REF}}{PGA} \left(\frac{2^{23} - 2}{2^{23} - 1} \right)$	7FFFFFFh
$\frac{+2V_{REF}}{PGA(2^{23}-1)}$	000001h
0	000000h
$\frac{-2V_{REF}}{PGA(2^{23}-1)}$	800001h
$\frac{-2V_{REF}}{PGA}$	FFFFFFh
$\leq \frac{-2V_{REF}}{PGA} \left(\frac{2^{23}}{2^{23} - 1} \right)$	800000h

(1)排除噪声、INL、失调和增益误差影响的理想输出代码。

时钟生成

LTS1256 的主时钟源可以使用外部晶振或时钟发生器提供。当使用晶振产生时钟时，必须提供外部电容以确保启动和表时钟频率，如图 22 所示。任何晶体都可以和 LTS1256 一起工作。表 17 列出了两个已经过验证的晶体。晶体靠近 LTS1256 引脚放置时，应尽量减少长引线。

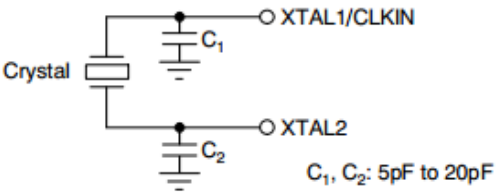


图 22.晶振连接

表 17.样品晶振

制造商	频率	部分数字
Citizen	7.68MHz	CIA/53383
ECS	8.0MHz	ECS-80-5-4

使用晶振时，XTAL1/CLKIN 和 XTAL2 引脚都不能用来驱动任何其它逻辑。如果其它器件需要时钟源，D0 引脚可用于此功能。使用外部时钟发生器时，向 XTAL1/CLKIN 提供时钟信

号，并让 XTAL2 悬空。确保外部时钟发生器提供干净的时钟波形。时钟上的过冲和毛刺会降低整体性能。

执行自校准。每当数据速率发生变化时，必须执行校准；当缓冲器配置或 PGA 发生变化时，也应执行校准。

校准

使用 LTS1256 片上校准电路可以将失调和增益误差降至最低。图 23 显示了校准框图。失调误差通过失调校准(OFC)寄存器校正，同样，满量程误差通过满量程校准(FSC)寄存器校正。这些寄存器均为 24 位，可以读取或写入。

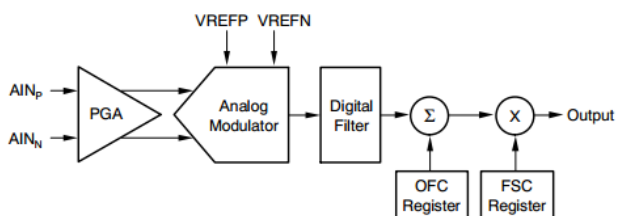


图 23。校准框图

校准后 LTS1256 的输出如公式 3 所示。

$$\text{输出} = (\text{Vin} * \text{PGA} / (2 * \text{VREF}) - \text{OFC} / \alpha) * \text{FSC} * \beta(3)$$

其中， α 和 β 随数据速率设置以及 OFC 和 FSC 的理想值(假设模拟性能完美)而变化，如表 18 所示。

LTS1256 支持任何 PGA 设置的自校准和系统校准，使用一组五个命令:SELFOCAL、SELFGCAL、SELFCAL、SYSOCAL 和 SYSGCAL。校准可以在任何时候进行，尽管在许多应用中，CP 1256 漂移性能非常低，只需进行一次校准。校准开始时，DRDY_N 变为高电平，并一直保持高电平，直到之后建立的数据就绪。校准后无需丢弃数据。复位后，LTS1256

自校准

自校准可校正内部失调和增益误差。在自校准期间，适当的校准信号在内部施加于模拟输入。

SELFOCAL 指令执行自失调校准。模拟输入 AINP 和 AINN 从信号源断开，连接到 AVDD/2。不同数据速率设置下的自失调校准所需时间参见表 19。与大多数 LTS1256 时序一样，校准时间与 f_{CLKIN} 直接成比例。自失调校准更新 OFC 寄存器。

表 19.自失调和系统失调校准时间

数据速率(SPS)	自失调校准和系统失调校准时间
15,000	453us
7500	587us
3750	853us
2000	1.3ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注: f_{CLKIN} = 7.68MHz。

SELFGCAL 执行自增益校准。模拟输入 AINP 和 AINN 与信号源断开，AINP 内部连接到 VREFP，而 AINN 连接到 VREFN。自增益校准可用于任何 PGA 设置，即使在更高的 PGA 设置下，LTS1256 也具有出色的增益校准性能，如典型特性部分所示。使用缓冲器会限制自增益校准期间参考输入的共模范围，因为它们将连接到缓冲器输入，并且必须在额定模拟输入范围内。当 VREFP 或 VREFN 上的电压超过缓冲器模拟输入范围(AVDD–2.0V)时，自增益校准期间必须关闭缓冲器。否则，使用系统增益校准或将增益系数直接写入 FSC 寄存器。表 20 显

示了不同数据速率和 PGA 设置下自增益校准所需的时间。自增益校准更新 FSC 寄存器。

表 20.自增益校准时序

数据速率(SPS)	自增益校准时间
15,000	484us
7500	617us
3750	884us
2000	1.4ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注: f_{CLKIN} = 7.68MHz。

SELFICAL 首先执行自失调校准，然后执行自增益校准。自校准期间，模拟输入与信号源断开。使用具有自校准功能的输入缓冲器时，请务必观察上述参考输入的共模范围。表 21 显示了不同数据速率设置下自校准所需的时间。自校准可更新 OFC 和 FSC 寄存器。

表 21.自校准时序

数据速率(SPS)	自增益校准时间
15,000	696us
7500	896us
3750	1.3ms
2000	2.0ms
1000	3.6ms
500	6.6ms
100	31.2ms
60	50.9ms
50	61.8ms
30	101.3ms
25	123.2ms
15	202.1ms
10	307.2ms
5	613.8ms
2.5	1227.2ms

注: f_{CLKIN} = 7.68MHz。

系统校准

系统校准利用 SYSOCAL 和 SYSGCAL 命令校正内部和外部失调和增益误差。在系统校准期间，用户必须将适当的校准信号施加于输入端。

SYSOCAL 执行系统失调校准。用户必须提供零输入差分信号。然后，LTS1256 会计算一个值，使系统中的失调为零。表 19 显示了不同数据速率设置下系统失调校准所需的时间。注意，该时序与自失调校准相同。系统失调校准更新 OFC 寄存器。

SYSGCAL 执行系统增益校准。用户必须向 LTS1256 提供满量程输入信号。然后，LTS1256 计算一个值来消除系统中的增益误差。系统增益校准可以校正满量程输入电压的 80%及以上的输入。使用系统增益校准时，确保不要超过满量程输入电压。表 22 显示了不同数据速率设置下系统增益校准所需的时间。系统增益校准更新 FSC 寄存器。

表 22.系统增益校准时序

数据速率(SPS)	自增益校准时间
15,000	484us
7500	617us
3750	884us
2000	1.4ms
1000	2.3ms
500	4.3ms
100	20.3ms
60	33.7ms
50	40.3ms
30	67.0ms
25	80.3ms
15	133.7ms
10	200.3ms
5	400.3ms
2.5	800.3ms

注:f_{CLKIN}= 7.68MHz。

串行接口

SPI 兼容型串行接口由四个信号组成:CS_N、SCLK、DIN 和 DOUT，并允许控制器与 LTS1256 通信。可编程功能由一组片内寄存器控制。数据通过串行接口写入和读取这些寄存器。DRDY_N 输出线用作状态信号，指示转换何时完成。当新数据可用时，DRDY_N 变为低电平。时序规格显示了与 LTS1256 接口的时序图。

片选(CS_N)

当多个器件共享串行总线时，片选(CS_N)输入允许单独选择 LTS1256 器件。在串行通信期间，CS_N 必须保持低电平。当 CS_N 变为高电平时，串行接口复位，DOUT 进入高阻态。CS_N 可能会永久保持低电平。

串行时钟(SCLK)

串行时钟(SCLK)具有施密特触发输入，用于将 DIN 和 DOUT 引脚上的数据输入 LTS1256 或从 CP 1256 输出。尽管输入存在迟滞，但建议尽可能保持 SCLK 干净，以防毛刺意外移位数据。当串行接口空闲时，保持 SCLK 低电平。

数据输入(DIN)和数据输出(DOUT)

数据输入引脚(DIN)与 SCLK 一起用于向 LTS1256 发送数据。数据输出引脚(DOUT)与 SCLK 一起用于从 LTS1256 读取数据。DIN 上的数据在 SCLK 的下降沿移入器件，而 d out 上的数据在 SCLK 的上升沿移出。

数据就绪(DRDY_N)

DRDY_N 输出用作状态信号，指示转换数据何时可以读取。当新的转换数据可用时，DRDY_N 变为低电平。当使用读取数据(RDATA)或读取数据连续(RDATAC)命令回读完所有 24 位时，它复位为高电平。当新转换数据正在更新时，它也会变为高电平。在此更新期间不要检索，因为数据无效。如果未检索到数据，DRDY_N 仅在更新期间为高电平，如图 24 所示。

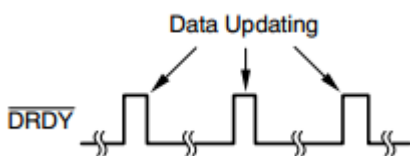


图 24.无数据检索的 DRDY_N

更改 PGA、数据速率、缓冲器状态后，写入 OFC 或 FSC 寄存器，执行同步操作以强制 DRDY_N 变为高电平。它将保持高电平，直到有效数据准备就绪。退出复位、同步、待机或掉电模式也会迫使 DRDY_N 变为高电平。一旦有效数据就绪，DRDY_N 就会变为低电平。

同步

LTS1256 的同步功能可用于协调 A/D 转换与外部事件，也可用于加速模拟输入瞬时变化后的建立时间(参见“使用同步的转换时间”部分)。

同步可以通过 SYNC_PDWN_N 引脚或 SYNC 命令来实现。要使用 SYNC_PDWN_N 引脚，先将其拉低，然后拉高，确保符合时序规格 t16 和 t16B。SYNC_PDWN_N 变为高电平后，同步发生。SYNC_PDWN_N 为低电平时，串行接口无法通信。如果 SYNC_PDWN_N 引脚在 20 个 DRDY_N 周期内保持低电平，LTS1256 将进入省电模式。

要使用 SYNC 命令进行同步，首先移入 SYNC 命令的所有 8 位。这将停止 LTS1256 的运行。准备好同步后，发出唤醒命令。在唤醒命

令中用于移位的第一个 SCLK 之后，同步发生在主时钟的第一个上升沿。同步操作后，无论是使用 SYNC_PDWN_N 引脚还是 SYNC 命令，DRDY_N 都会保持高电平，直到有效数据就绪。

待机模式

待机模式关闭所有模拟电路和大部分数字功能。振荡器继续运行以允许快速唤醒。要进入待机模式，请发出待机命令。要退出待机模式，发出 WAKEUP 命令。退出待机模式后，DRDY_N 将保持高电平，直到有效数据就绪。待机模式可用于执行单次转换；详情参见“使用单次采样模式的建立时间”部分。

省电模式

将 SYNC_PDWN_N 引脚保持低电平达 20 个 DRDY_N 周期可激活省电模式。在关断模式下，所有电路均被禁用，包括振荡器和时钟输出。要退出省电模式，应将 SYNC_PDWN_N 引脚拉高。退出掉电模式后，LTS1256 晶体振荡器通常需要 30ms 才能唤醒。如果使用外部时钟源，转换开始前需要 8192 个 CLKIN 周期。

复位

有两种方法可以复位 CP 1256:reset_N 输入引脚和 RESET 命令。

使用 RESET_N 引脚时，将其拉低以强制复位。将 RESET_N 引脚拉回到高电平之前，确保遵循最小脉冲宽度时序规格。

复位命令在所有 8 位都移入 DIN 后生效。之后，复位自动释放。

复位时，配置寄存器初始化为默认状态。解除复位后，建议进行自校准。

上电

上电时，所有配置寄存器都初始化为默认状态。然后自动执行自校准。为获得最佳性能，

强烈建议在电源和基准电压源有时间建立最终值后，通过发出 **SELF CAL** 命令来执行额外的自校准。

应用信息

LTS1256 是一款非常高分辨率的模数转换器。要获得最佳性能，需要仔细考虑它们的支持电路和印刷电路板(PCB)设计。图 25 显示了 LTS1256 的基本连接。建议模拟电源和数字电源使用同一个接地层。该接地层应与旁路电容和模拟调理电路共享。然而，应避免将此接地层用于微处理器等高噪声数字器件。如果 LTS1256 使用分离接地层，请确保模拟层和数字层连接在一起。LTS1256 模拟和数字接地引脚(AGND 和 DGND)之间不应有电压差。

与任何精密电路一样，使用良好的电源旁路技术。较小值的陶瓷电容与较大值的钽电容或较大值的低压陶瓷电容并联工作良好。将电容，尤其是陶瓷电容，靠近电源引脚放置。在尽可能低的电压下运行数字逻辑。这有助于减少耦合回模拟输入。避免数字输入振铃。与数字引脚串联的小电阻(≈ 100 欧姆)有助于控制走线阻抗。不使用 **RESET_N** 或 **SYNC_PDWN_N** 输入时，直接连接到 LTS1256 DVDD 引脚。

请特别注意参考和模拟输入。这些是最关键的电路。在基准电压输入端，用低等效串联电阻(ESR)电容旁路。使这些电容尽可能大，以最大限度地提高基准电压源的滤波性能。由于 LTS1256 的出色性能，如果不仔细选择，基准电压源很容易限制整体性能。使用独立基准电压源时，确保其噪声极低、漂移极低，并且能够驱动 LTS1256 基准电压输入。对于不适合直接驱动 LTS1256 的基准电压源(例如，高输出阻抗基准电压源或阻性分压器)，请使用图 26 所示的推荐缓冲电路。输入信号和参考信号相互跟踪的比率测量灵敏度稍低，但可以验证参考信号是干净的。

通常，输入端只需要一个简单的 RC 滤波器(如图 25 所示)。该电路限制调制器频率附近的高频噪声；参见频率响应部分。避免使用低级电介质制作电容器，以最大限度地降低温度变化和泄漏。输入走线尽可能短，并将元件靠近输入引脚放置，并确保对所有使用的输入通道进行滤波。

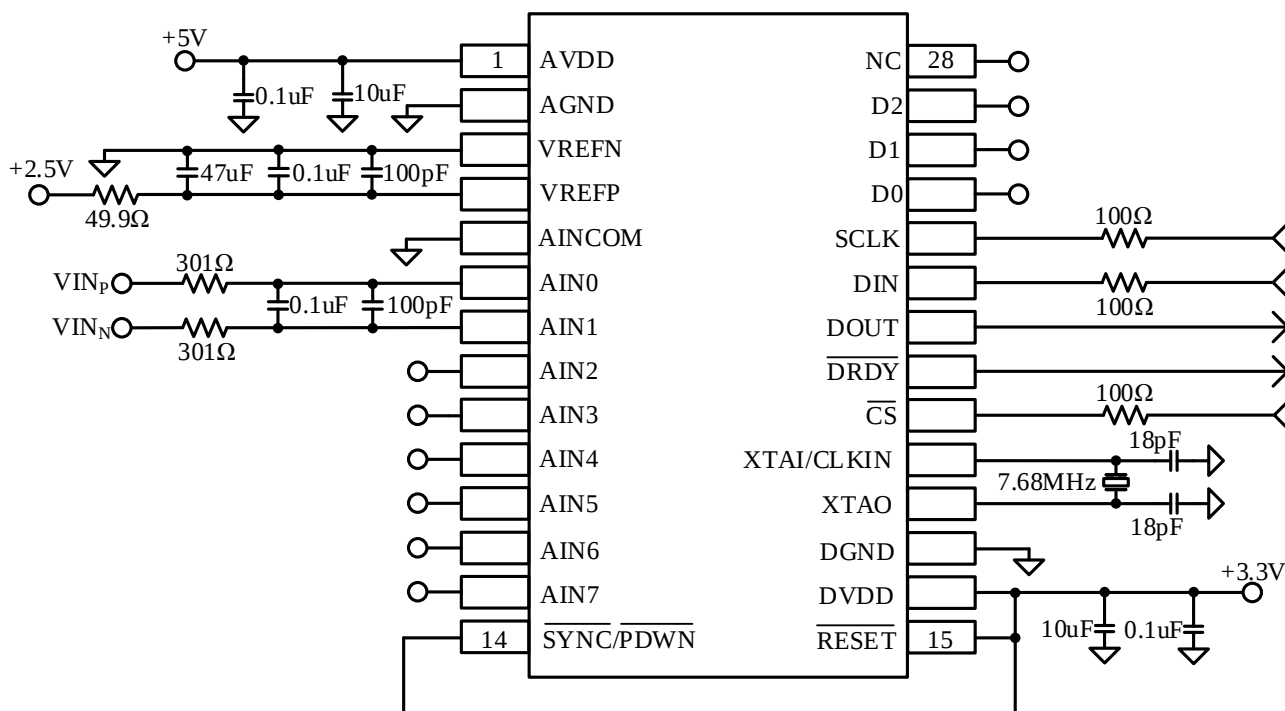


图 25.LTS1256 基本连接

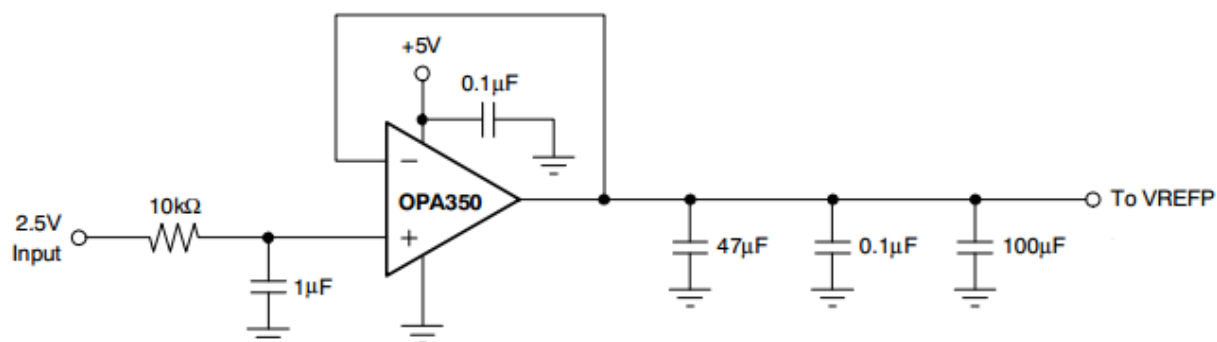


图 26.推荐的基准电压缓冲电路

数字接口连接

LTS1256 SPI、QSPI 和 MICROWIRE 兼容接口可轻松连接各种微控制器。图 27 显示了 TI MSP 430 系列低功耗微控制器的基本连接。图 28 显示了与具有 SPI 接口的微控制器的连接，如 TI 的 MSC 12xx 系列或 68HC11 系列。请注意，MSC12xx 包括一个高分辨率模数转换器；LTS1256 可以用来增加额外的测量通道或提供更高速的转换。

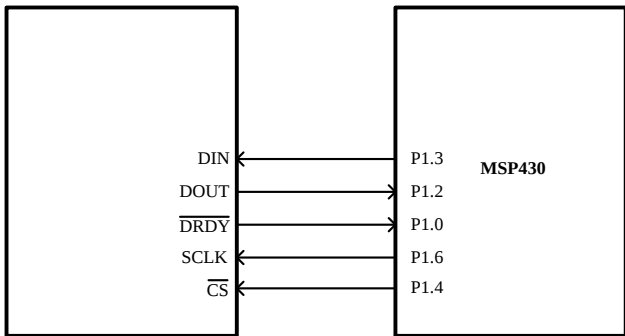


图 27.连接到 MSP430 微控制器

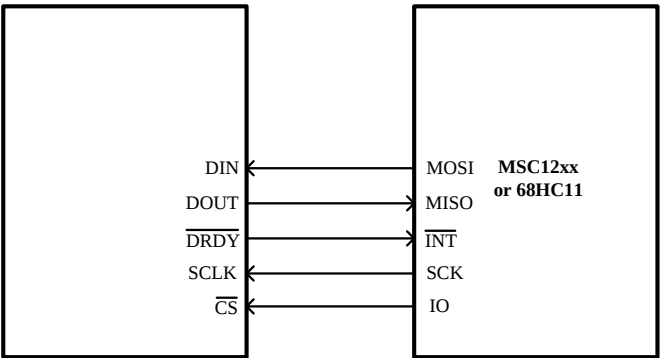


图 28.通过 SPI 接口连接到微控制器

寄存器映射

LTS1256 的操作通过一组寄存器来控制。这些寄存器共同包含配置器件所需的所有信息，如数据速率、多路复用器设置、PGA 设置、校准等。如表 23 所示。

表 23。寄存器映射

地址	寄存器名	复位值	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	STATUS	A0H	ID3	ID2	ID1	ID0	-	-	BUFE N	-
01h	MUX	01H	PSEL 3	PSEL 2	PSEL 1	PSEL 0	NSEL 3	NSEL 2	NSEL 1	NSEL 0
02h	ADCON1	20H	-	-	-	-	-	PGA2	PGA1	PGA0
03h	DRATE	02H	DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0
05h	OFC0	xxH	OFC 07	OFC 06	OFC 05	OFC 04	OFC 03	OFC 02	OFC 01	OFC 00
06h	OFC1	xxH	OFC 15	OFC 14	OFC 13	OFC 12	OFC 11	OFC 10	OFC 09	OFC 08
07h	OFC2	xxH	OFC 23	OFC 22	OFC 21	OFC 20	OFC 19	OFC 18	OFC 17	OFC 16
08h	FSC0	xxH	FSC 07	FSC 06	FSC 05	FSC 04	FSC 03	FSC 02	FSC 01	FSC 00
09h	FSC1	xxH	FSC 15	FSC 14	FSC 13	FSC 12	FSC 11	FSC 10	FSC 09	FSC 08
0Ah	FSC2	xxH	FSC 23	FSC 22	FSC 21	FSC 20	FSC 19	FSC 18	FSC 17	FSC 16
83H	ADCON2	00H	-	-	-	-	-	PGAC ON	-	-

STATUS:状态寄存器(地址 00h)

复位值= A0h

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ID3	ID2	ID1	ID0	-	-	BUFEN	-

Bits 7-4ID3、ID2、ID1、ID0 是工厂编程的识别位(只读)

Bit 3-2 保留，始终为 0(只读)

Bit1BUFEN:输入缓冲器控制位:

0 =禁用输入缓冲器(默认)

1 =使能输入缓冲器。

Bit0 保留，始终为 1(只读)

MUX:输入多路复用器控制寄存器(地址 01h)

重置值= 01h

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PSEL3	PSEL2	PSEL1	PSEL0	NSEL3	NSEL2	NSEL1	NSEL0

Bits 7-4PSEL3、PSEL2、PSEL1、PSEL0:正输入通道(AINP)选择

0000 = AIN0(默认)

0001 = AIN1

0010 = AIN2

0011 = AIN3

0100 = AIN4

0101 = AIN5

0110 = AIN6

0111 = AIN7

1xxx = AINCOM(当 PSEL3 = 1, PSEL2, PSEL1, PSEL0 为“无关”)

Bits 3-0 NSEL3、NSEL2、NSEL1、NSEL0:负输入通道(AINN)选择

0000 = AIN0

0001 = AIN1(默认)

0010 = AIN2

0011 = AIN3

0100 = AIN4

0101 = AIN5

0110 = AIN6

0111 = AIN7

1xxx = AINCOM(当 NSEL3 = 1 时, NSEL2、NSEL1、NSEL0 为“无关”)

ADCON1:模数控制寄存器 1(地址 02h)

重置值= 20h

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	-	-	PGA2	PGA1	PGA0

Bit 7-3 保留, (只读)

Bits 2-0PGA2、PGA1、PGA0:可编程增益放大器设置

000 = 1(默认)

001 = 2

010 = 4

011 = 8

100 = 16

101 = 32

110 = 64

111 = 64

DRATE:输出速率(地址 03h)

重置值= 02h

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0

16 种有效数据速率设置如下所示。请确保选择有效的设置，因为无效的设置可能会产生不可预知的结果。

Bits 7-0DR[7: 0]:数据速率设置⁽¹⁾

0000 0010 = 15000 SPS(默认)

0000 0011 = 7500 SPS

0000 0100 = 3750 SPS

0000 0101 = 1875 SPS

0000 0110 = 1000 SPS

0000 0111 = 500 SPS

0000 1000 = 100 SPS

0000 1001 = 60 SPS

0000 1010 = 50 SPS

0000 1011 = 30 SPS

0000 1100 = 25 SPS

0000 1101 = 15 SPS

0000 1110 = 10SPS

0000 1111 = 5 SPS

0001 0000 = 2.5 SPS

(1)对于 $f_{CLKIN} = 7.68\text{MHz}$ ，数据速率与 f_{CLKIN} 成线性比例关系。**OFC0:失调校准字节 0，最低有效字节(地址 05h)**

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OFC07	OFC06	OFC05	OFC04	OFC03	OFC02	OFC01	OFC00

OFC1:失调校准字节 1(地址 06h)

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC09	OFC08

OFC2:失调校准字节 2，最高有效字节(地址 07h)

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16

FSC0:满量程校准字节 0, 最低有效字节(地址 08h)

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSC 07	FSC 06	FSC 05	FSC 04	FSC 03	FSC 02	FSC 01	FSC 00

FSC1:满量程校准字节 1(地址 09h)

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSC 15 号	FSC 14 号	FSC 13 号	FSC 12 号	FSC 11	FSC 10	FSC 09	FSC 08

FSC2:满量程校准字节 2, 最高有效字节(地址 0Ah)

重置值取决于校准结果。

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSC 23	FSC 22	FSC 21	FSC 20	FSC 19	FSC 18	FSC 17	FSC 16

ADCON2:模数控制寄存器 2(地址 83h)

复位值= 00h

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
-	-	-	-	-	PGACON	-	-

Bit 7-3, 1-0 保留, 始终为 0(只读)

Bit 2PGACON: PGA 控制位:

0 =当 PGA=1, 2, 4, 8, 16 时(默认)

1 =当 PGA=32 和 64 时, 该位置 1。

命令定义

表 24 中总结的命令控制 LTS1256 的操作。在第一个命令字节之后，可以无延迟地移入额外的命令和数据字节。在整个命令序列中，CS_N 必须保持低电平。

表 24.命令定义

命令	描述	第一个命令字节	第 2 个命令字节	第 3 个命令字节
WAKE UP	完成同步并退出待机模式	0000 0000(00h)	-	-
RDATA	读出数据	0000 0001(01h)	-	-
RDATAC	连续读取数据	0000 0011(03h)	-	-
SDATAC	停止连续读取数据	0000 1111(0Fh)	-	-
RREG	从寄存器 rrr 读取	0001 adrh ⁽¹⁾ (1xh)	adrl ⁽²⁾ xxxx ⁽³⁾	dddddddd ⁽⁴⁾
WREG	写入寄存器 rrr	0101 adrh(5xh)	adrlxxxx	dddddddd
SELFCAL	失调和增益自校准	0101 0010(52h)	1110 0000(E0h)	0000 0101(05h)
SELFOCAL	失调自校准	0101 0010(52h)	1110 0000(E0h)	0000 0001(01h)
SELFGCAL	增益自校准	0101 0010(52h)	1110 0000(E0h)	0000 0010(02h)
SYSOCAL	系统失调校准	0101 0010(52h)	1110 0000(E0h)	0000 0011(03h)
SYSGCAL	系统增益校准	0101 0010(52h)	1110 0000(E0h)	0000 0100(04h)
SYNC	同步模数转换	1111 1100(FCh)	-	-
STANDBY	开始待机模式	1111 1101(FDh)	-	-
RESET	重置为上电值	1111 1110(FEh)	-	-
WAKE UP	完成同步并退出待机模式	1111 1111(FFh)	-	-

注意:

- (1) adrh =目标寄存器地址的高四位。
(2) adrl =目标寄存器地址的低四位。
(3) xxxx =可以设置为任意值。
(4) dddddddd =要读取或要写入的数据。

RDATA:读取数据

描述:在 DRDY_N 变为低电平后发出此命令，以读取单个转换结果。所有 24 位都转换为 dout 输出后，DRDY_N 变为高电平。不必回读所有 24 位，但 DRDY_N 不会返回高电平，直到有新数据更新。参见 RDATA 命令结束与 DOUT: t6 上数据移位开始之间所需延迟的时序特性。

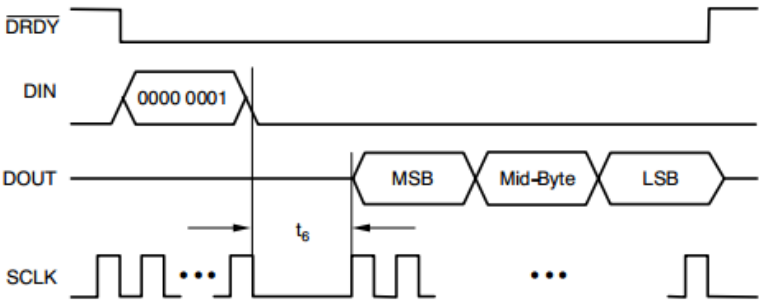


图 30a. RDATA 命令序列

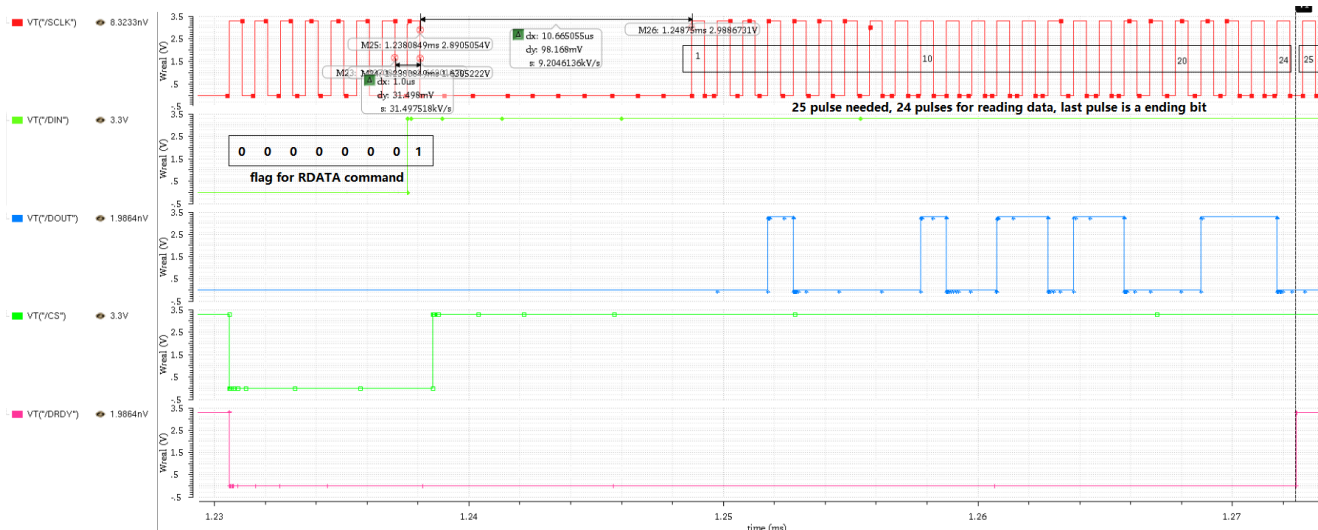


图 30b.RDATAC 命令序列(详细时序)

RDATAC:连续读取数据

描述:在 DRDY_N 变为低电平后发出命令, 进入读取数据连续模式。这种模式支持在每个 DRDY_N 上连续输出新数据, 而无需发出后续读取命令。读取完所有 24 位后, DRDY_N 变为高电平。不必回读所有 24 位, 但 DRDY_N 不会返回高电平, 直到有新数据更新。此模式可通过停止读取数据连续命令 (SDATAC) 终止。由于在 SDATAC 或 RESET 命令的读取数据连续模式下, DIN 不断受到监控, 因此如果 DIN 和 DOUT 连接在一起, 请勿使用此模式。

在图 31 中, DRDY_N 的第二个下降沿与 SCLK 的下一个上升沿 t_{18} 之间的延迟至少应为 500ns。

参见 RDATAC 命令结束与 DOUT: t_6 上数据移位开始之间所需延迟的时序特性。

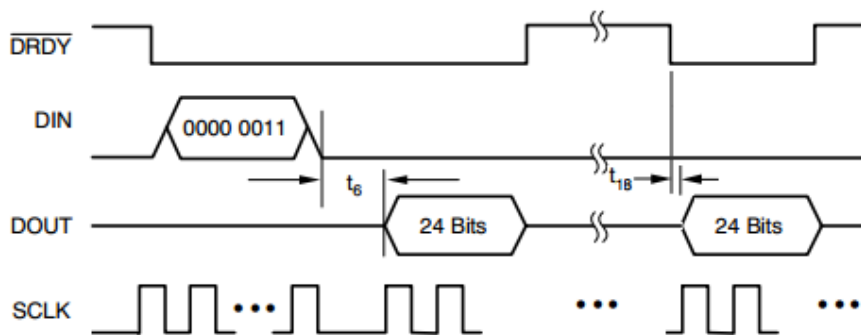


图 31a.RDATAC 命令序列

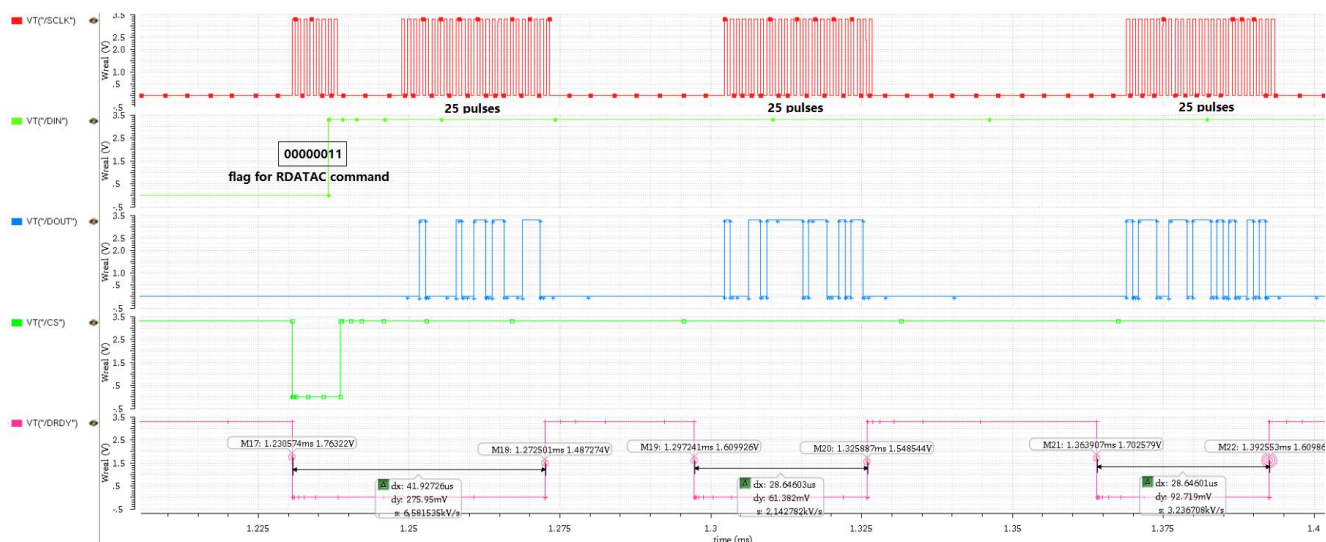


图 31b.RDATAAC 命令序列(详细时序)

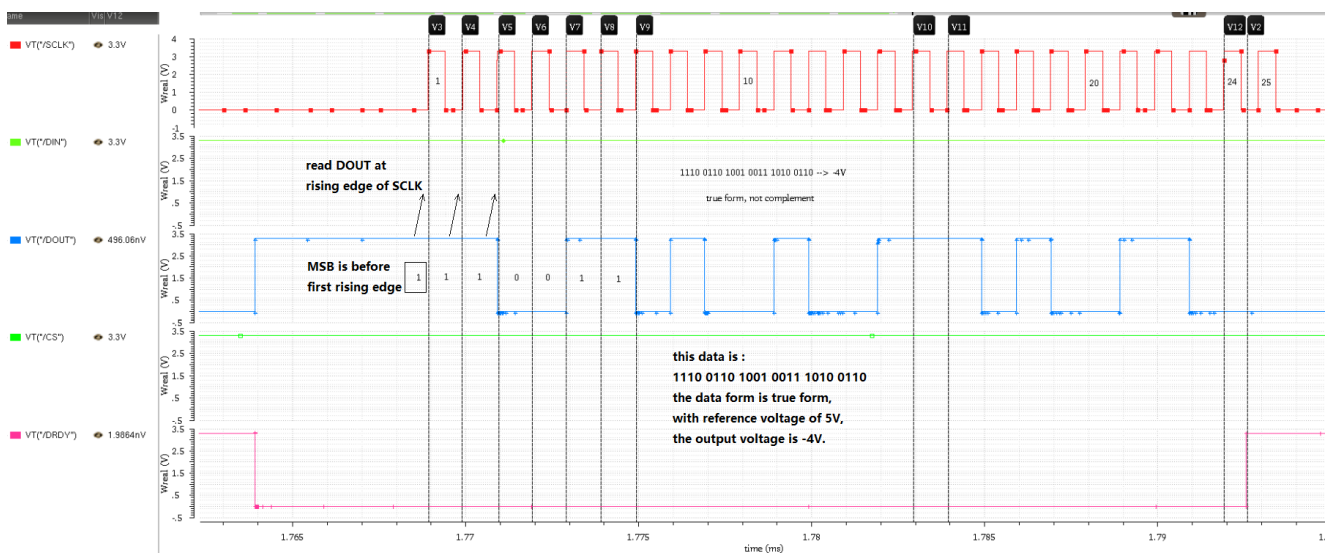


图 31c.RDATAAC 命令序列(读取一组数据的时间模式)

在接下来的 $\overline{\text{DRDY}}_N$ 上，通过应用 SCLKs 移出数据。如果 input_data 等于 DIN 上三个字节的任何一个的 SDATAC 或 RESET 命令，则读取数据连续模式终止。

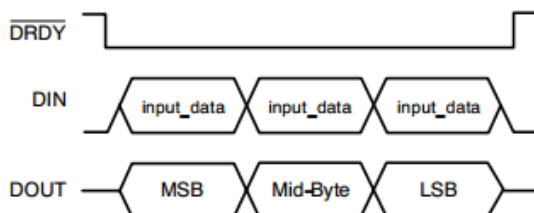


图 32.连续读取模式下的 DIN 和 DOUT 命令序列

SDATAC:停止连续读取数据

描述:结束连续数据输出模式。(参见 RDATAAC)。该命令必须在 DRDY_N 变为低电平后发出,并在 DRDY_N 变为高电平前完成。

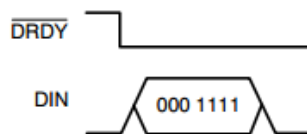


图 33.SDATAC 命令序列

RREG:从寄存器中读取

描述:从寄存器输出数据。

第 1 个命令字节:0001 adrh, 其中 adrh 是要读取的寄存器地址的高四位。

第 2 个命令字节:adrl xxxx, 其中 adrl 是要读取的寄存器地址的低四位, xxxx 可以设置为任意值。

参见 DOUT: t₆ 上 RREG 命令结束与数据移位开始之间所需延迟的时序特性。

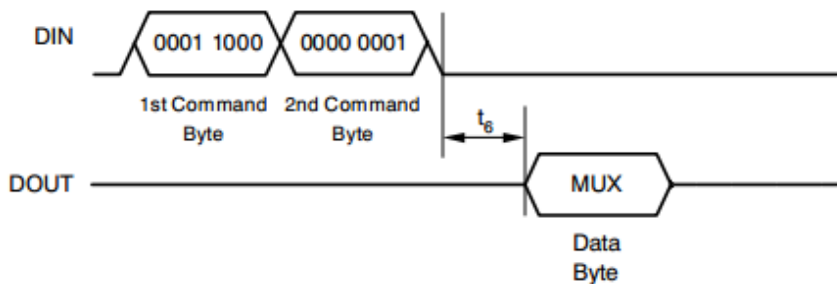


图 34a.RREG 命令示例:从寄存器 80h 读取(多路复用器)

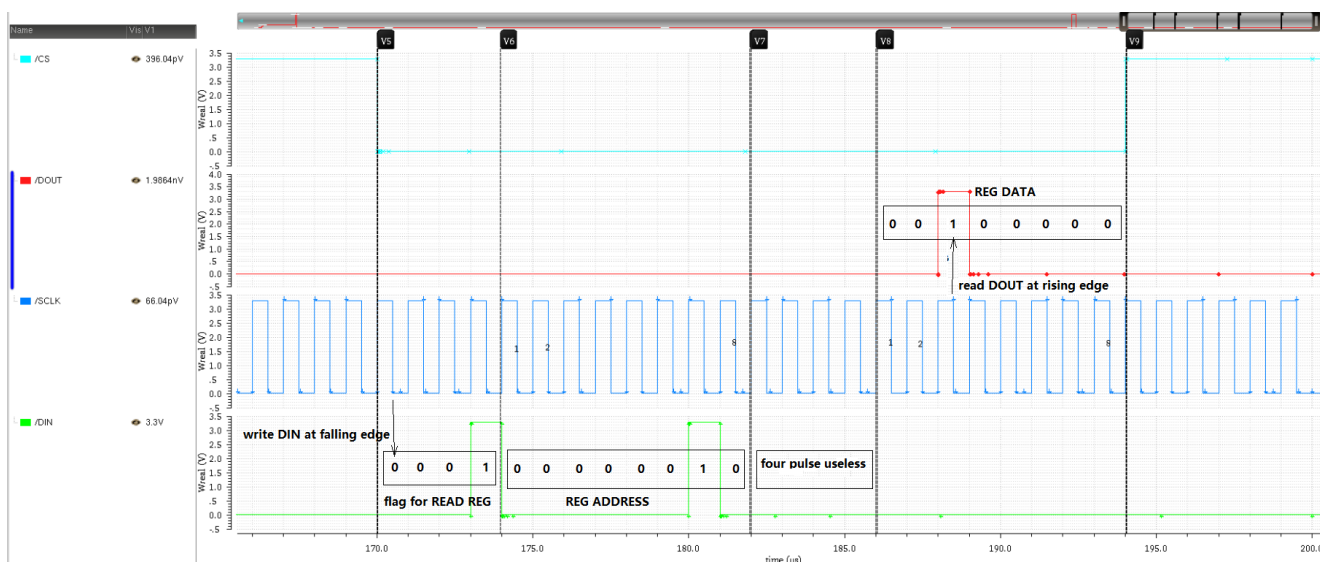


图 34b.RREG 命令示例:从寄存器 02h 读取(数据:20h, SCLK 以 1MHz 运行)

写入寄存器

描述:写入用三个命令字节指定的寄存器。

第1个命令字节:0101 adrh, 其中 adrh 是要写入的寄存器地址的高四位。

第2个命令字节:adrl xxxx, 其中 adrl 是要写入的寄存器地址的低四位, xxxx 可以设置为任意值。

第3个命令字节(数据字节):要写入寄存器的数据。

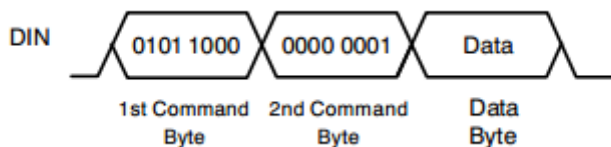


图 35a.WREG 命令示例:将数据写入 80h(多路复用器)

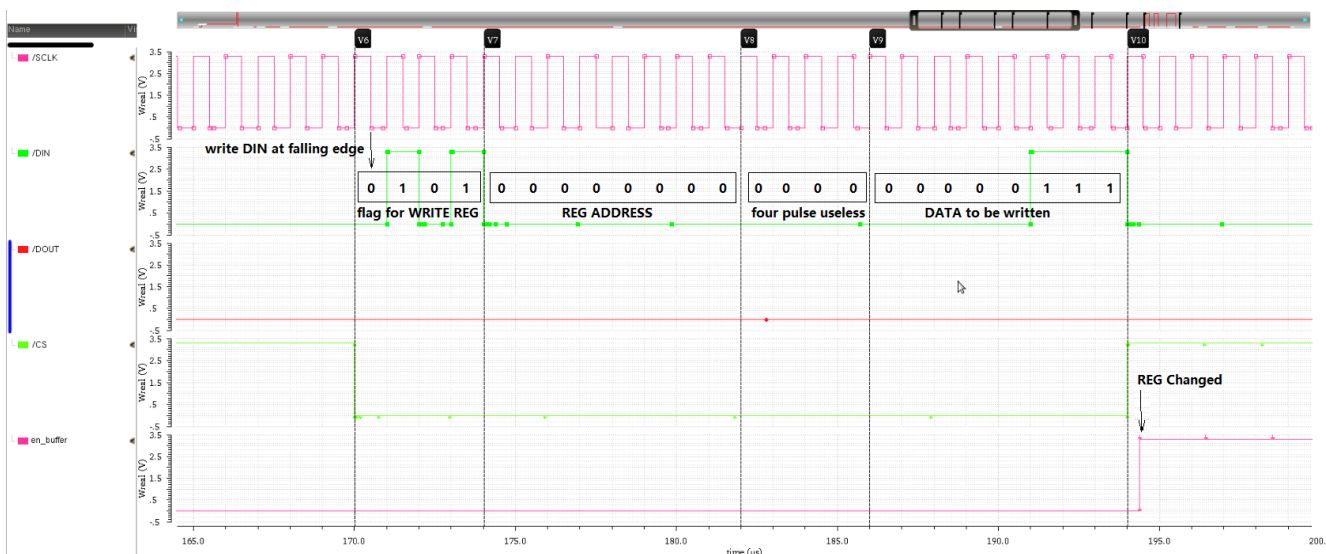


图 35b.WREG 命令示例:将数据写入 00h(数据:07h, SCLK 以 1MHz 运行)

SELCAL:自失调和增益校准

描述:执行自失调和自增益校准。失调校准寄存器(OFC)和满量程校准寄存器(FSC)在此操作后更新。校准开始时, DRDY_N 变为高电平。校准完成且建立的数据就绪后, 它变为低电平。发出此命令后, 请勿发送其他命令, 直到 DRDY N 变为低电平, 表示校准完成。

自聚焦:自偏移校准

描述:执行自偏移校准。此操作后，失调校准寄存器(OFC)会更新。校准开始时，DRDY_N 变为高电平。校准完成且建立的数据就绪后，它变为低电平。发出此命令后，请勿发送其他命令，直到 DRDY_N 变为低电平，表示校准完成。

SELFGCAL:自增益校准

描述:执行自增益校准。完成此操作后，满量程校准寄存器(FSC)会更新为新值。校准开始时，DRDY_N 变为高电平。校准完成且建立的数据就绪后，它变为低电平。发出此命令后，请勿发送其他命令，直到 DRDY_N 变为低电平，表示校准完成。

系统偏移校准

描述:执行系统偏移校准。此操作后，失调校准寄存器(OFC)会更新。校准开始时，DRDY_N 变为高电平。校准完成且建立的数据就绪后，它变为低电平。发出此命令后，请勿发送其他命令，直到 DRDY_N 变为低电平，表示校准完成。

SYSGCAL:系统增益校准

描述:执行系统增益校准。此操作后，满量程校准寄存器(FSC)会更新。校准开始时，DRDY_N 变为高电平。校准完成且建立的数据就绪后，它变为低电平。发出此命令后，请勿发送其他命令，直到 DRDY_N 变为低电平，表示校准完成。

同步:同步模数转换

描述:此命令同步 A/D 转换。要使用，首先在命令中 shift。然后输入唤醒命令。同步发生在唤醒命令中用于移位的第一个 SCLK 之后的第一个 CLKIN 上升沿。

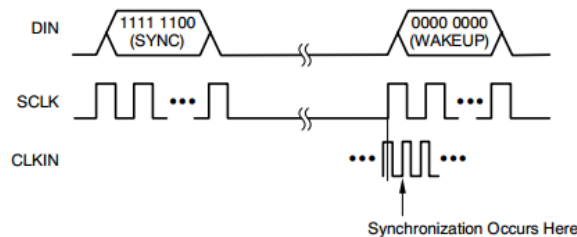


图 36.同步命令序列

待机:待机模式/单次模式

描述:该命令将 LTS1256 置于低功耗待机模式。发出待机命令后，确保在 CS_N 为低电平时 SCLK 上没有任何活动，因为这将中断待机模式。如果 CS_N 为高电平，待机模式下允许 SCLK 活动。要退出待机模式，发出 WAKEUP 命令。此命令也可以用来执行单次转换(参见“单次采样模式”部分)。

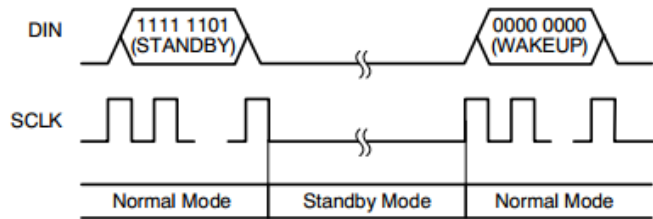


图 37.备用命令序列

唤醒:完成同步或退出待机模式

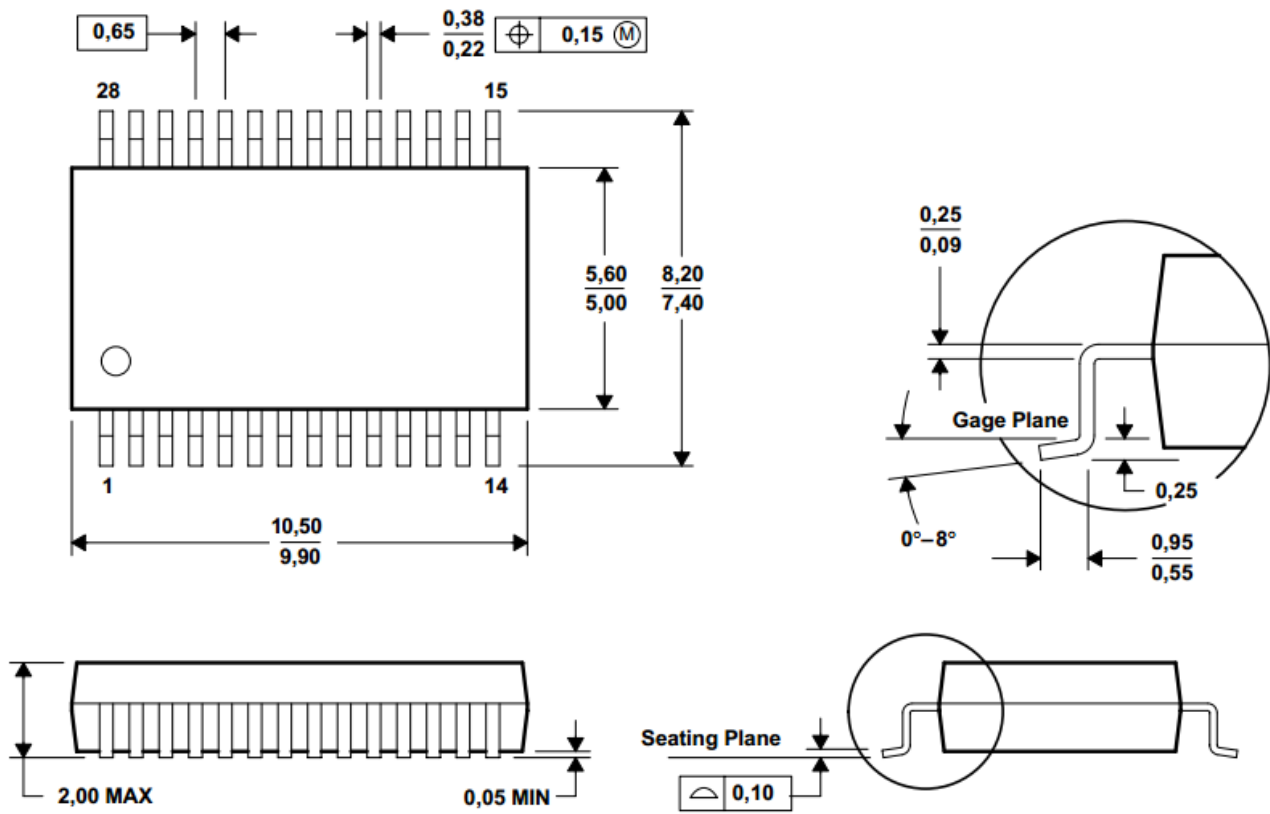
描述:与 SYNC 和 STANDBY 命令一起使用。此命令有两个值(全零或全一)。

重置:将寄存器重置为默认值

描述:将 ADCON1 寄存器中除 CLK0 和 CLK1 位以外的所有寄存器恢复为默认值。该命令还将停止连续读取模式:在这种情况下,在 DRDY_N 变为低电平后发出 RESET 命令。

封装信息

28 引脚 SSOP28 封装



文档版本

版本	说明	日期
V1.0	内部初步版本	2023/3/15

声明

在未经列拓科技同意下不得以任何形式或途径修改本公司产品规格和数据表中的任何部分以及子部份。列拓科技在以下方面保留权利（包括但不限于如下的方面）：

修改数据单和/或产品、停产任一产品或者终止服务不做通知；建议顾客获取最新版本的相关信息，在下定订单前进行核实以确保信息的及时性和完整性。所有的产品都依据订单确认时所提供的销售合同条款出售，条款内容包括保修范围、知识产权和责任范围。

列拓科技保证在销售期间，销售的产品符合国家标准和行业要求，产品的性能按照本公司的标准进行保修和维护。公司认为有必要维持此项保修，会使用测试和其他质量控制技术。除了政府强制规定外，其他仪器的测量表没有必要进行特殊测试。

顾客认可本公司的产品的设计、生产的目的是不涉及与生命保障相关或者用于其他危险的活动或者环境的其他系统或产品中。出现故障的产品会导致人身伤亡、财产或环境的损伤（统称高危活动）。人为在高危活动中使用本公司产品，本公司据此不作保修，并且不对顾客或者第三方负有责任。

列拓科技将会提供与现在一样的技术支持、帮助、建议和信息，(全部包括关于购买的电路板或其他应用程序的设计，开发或调试)。特此声明，对于所有的技术支持、可销性或针对特定用途，及在支持技术无误下，电路板和应用程序可以操作或运行的，本公司将不作任何有关此类支持技术的担保，并对您在使用这项支持服务不负任何法律责任。

联系我们

官方网站: www.letto-ic.com

邮箱: sales@letto-ic.com

电话: +86 021-5176-9039

地址: 深圳市光明区凤凰街道东坑社区科能路中集低轨卫星物联网产业园 A 座 901-1